衛星搭載用 X 線 CCD カメラの信号処理用
アナログ ASIC の開発

大阪大学 大学院理学研究科 宇宙地球科学専攻
博士前期課程 2 年

出原寿紘

概 要

我々が行っているX線天文学は超新星残骸やブラックホール、銀河など様々な天体が放射する宇宙X線を観測し、その高エネルギー現象を解明することを目的としている。X線は地球大気により吸収されてしまい地上まで届かないため、検出器を人工衛星に搭載し観測を行う。入射したX線の位置とエネルギーを高い精度で求められるX線CCDカメラは、現在稼働中の大型X線天文衛星全てに搭載されている主力撮像分光器であり、将来の科学衛星にも搭載される。その一方で、CCD素子の大フォーマット化や読み出しノード数の増加により、従来のように個別ICで読み出しシステムを構成することは電力やスペースの点から非現実的になりつつある。以上のような背景から、我々はX線CCDカメラの読み出しシステムの小型化と低消費電力化を目指して、X線CCDの信号処理専用集積回路 (Application Specific Integrated Circuits : ASIC) を開発している。

今回開発したASICは、CCDからの微弱なアナログ信号 (典型的に 0.2 ∼ 15 mV の振幅) を増幅、整形して最後デジタル信号に変換する回路ブロックを4チャンネル集積している。製造はTSMC (Taiwan Semiconductor Manufacturing Company) の 0.35 μm CMOS プロセスを用いて行った。パッケージしたサイズは、15 mm 四方で消費電力は 168 mW である。これらは現在我々の研究室で使用している個別ICで構成したCCD読み出しシステムの数%の値であり、ASIC開発の目的である読み出し回路の小型化と低消費電力化を達成したといえる。

我々はまず、CCD疑似信号を用いて設計通りに動作することを確認し、ASIC単体での性能を評価した。積分非線形性は約0.2 %、雑音レベルは我々が開発しているX線CCDの電荷電圧変換係数 5.5 μV/e$^-$ より計算すると、電子数換算で約 5.4 個である。

我々はこのASICを2013年度打ち上げ予定の次期X線天文衛星ASTRO-Hに搭載する予定である。ASTRO-Hの予定投入軌道は、高度 550 km、軌道傾斜角 30 度未満の低周回軌道である。ASICは軌道上で銀河宇宙線および太陽風起源の放射線によって被曝する。また日陰、日照による温度環境の変動にさらされる。そこで我々は、まず放射線による経年的なダメージに対する耐性を評価し、軌道上で約200年分に相当する量の放射線を照射してもフロントエンドエレクトロニクスとしては正常に機能することを実証した。一方で、単一の荷電粒子によって引き起こされるダメージに対する耐性の評価は今回の実験だけでは十分といえず、さらに詳しく調査する必要がある。続いて、衛星温度環境 (± 10 ℃のマージン込で 0 ℃ ∼ 40 ℃) における、ASIC単体性能の温度依存性を調べた。ゲインについて、現在軌道上の『すざく』衛星のX線CCDカメラの読み出しシステムと同程度の温度依存性であることがわかった。すなわち、軌道上でASICをマウントする基板の温度を精度よく測定し、その温度によりゲインを補正する必要性を提起する結果を得た。本研究で開発·評価したASICはASTRO-H以外のプロジェクトとして次期小型X線観測衛星 (FFAST) や、地上観測衛で使用することを計画している。本実験の結果から得られた知見は、これら他の衛星プロジェクトについても応用可能である。

目 次

第1章　序論 **8**
1.1　X線天文衛星におけるX線CCD　8
1.2　衛星搭載用X線CCDの新たな課題　8
1.3　信号処理回路のASIC化　8
1.4　衛星搭載をめざして　9

第2章　X線CCD (Charge-Coupled Device) **10**
2.1　CCDの構造　10
2.1.1　CCD内の電場　10
2.1.2　表面チャネル型CCDと埋め込みチャネル型CCD　13
2.2　X線検出原理　13
2.2.1　X線吸収過程　14
2.3　信号電荷転送方式　15
2.3.1　2相、3相電極による電荷の転送　16
2.3.2　電極の配置　16
2.4　電荷-電圧変換：FDA方式　17
2.5　電荷読み出し方式　20
2.5.1　遅延方式　20
2.5.2　多重サンプリング方式　21
2.5.3　積分方式　21
2.6　CCDのデータ取得方法　22
2.6.1　CCDで得られたイメージ　22
2.7　エネルギー分解能　24
2.7.1　統計的揺らぎ　24
2.7.2　暗電流　24
2.7.3　縦転送雑音　25
2.7.4　読みだし雑音　26

第3章　衛星搭載をめざしたASICの開発 **27**
3.1　次期X線天文衛星ASTRO-H　27
3.1.1　軟X線撮像器SXI　27
3.2　CMOS技術　28
3.2.1　CMOS技術の背景　28
3.2.2　CMOSトランジスタの原理　29

3.3 ASIC 概要 30
3.3.1 SXI-ASIC を用いた X 線 CCD の信号処理 31
3.3.2 デシメーションフィルタ 31
3.4 ASTRO-H の軌道上における衛星環境 33
3.4.1 放射線による半導体デバイスへの影響 33
3.4.2 軌道上における衛星温度環境 35

第 4 章 SXI-ASIC の性能評価 37
4.1 ASIC 単体性能の評価試験 37
4.1.1 実験セットアップ 37
4.1.2 積分非線形性 41
4.1.3 雑音性能 42
4.1.4 消費電力 42
4.2 放射線耐性の評価試験 44
4.2.1 コバルト 60 ガンマ線照射試験 44
4.2.2 プロトン / 鉄イオンの照射試験 55
4.3 衛星温度環境試験 66
4.3.1 実験セットアップ 66
4.3.2 読み出し速度別温度依存性 68

第 5 章 まとめ 73

付 録 A X 線 CCD との接続試験 74
A.1 Pch-2k4k CCD 74
A.2 X 線スペクトル 74

付 録 B SOI CMOS プロセスを用いた X 線 CCD 用アナログフロントエンド ASIC の試作 76
B.1 SOI 76
B.2 ASIC 概要 76
B.3 信号処理回路 78
B.3.1 プリアンプ部 78
B.3.2 バンドパスフィルター部 79
B.3.3 AD 変換 79
B.4 実験セットアップ 81
B.4.1 試験基板 81
B.4.2 *MiKE* システム 82
B.4.3 アルマジロ 82
B.4.4 実験システムの構成 82
B.5 ASIC 単体性能 84
B.6 X 線 CCD 接続試験結果 86

B.6.1 X 線スペクトル 86
B.6.2 X 線イメージ 86
B.6.3 まとめ 88

図目次

2.1 CCD の基本構造 10
2.2 MOS 内のエネルギー準位と電荷分布 11
2.3 埋め込みチャネル CCD と表面チャネル CCD のポテンシャル 13
2.4 3 相電極 CCD の構造 16
2.5 2 相電極 CCD の構造 16
2.6 浜松ホトニクス社の CCD の電極の並び方 17
2.7 FDA による読み出し 18
2.8 CCD の出力信号の概略図 19
2.9 CCD 出力の実測波形 (プリアンプ 26 倍)、動作温度 −60 度 19
2.10 遅延方式 20
2.11 多重サンプリング方式 21
2.12 完全積分方式 21
2.13 CCD のイメージ 23

3.1 ASTRO-H 衛星の完成予想図 (©http://astro-h.isas.jaxa.jp) 28
3.2 NMOS 構造図と NMOS、PMOS の回路シンボル。 29
3.3 SXI-ASIC の写真 30
3.4 SXI-ASIC を用いた信号処理のダイアグラム 31
3.5 ΔΣ ADC による AD 変換のタイミング図 32
3.6 デシメーションフィルター 32
3.7 TID によるダメージの例 34
3.8 ASTRO-H の衛星軌道におけるシリコンに対する予想吸収線量率 34
3.9 SEE によるダメージの例 36
3.10 Weibull curve 36

4.1 単体試験基板と NI ケーブル 38
4.2 単体試験のブロック図 38
4.3 スキャッタープロット 39
4.4 ヒストグラム 40
4.5 channel 0 even の INL 41
4.6 読み出し速度の関数としての INL 42
4.7 読み出し速度の関数としての入力等価雑音 43
4.8 読み出し速度の関数としての消費電力 43
4.9 コバルト 60 の崩壊図式 44

4.10 照射室の見取図 45
4.11 照射室の写真 45
4.12 コバルト 60 柱状線源 46
4.13 コバルト 60 ガンマ線照射施設の吸収線量率 47
4.14 複数チップ同時試験用基板 47
4.15 1 日目のセットアップの模式図 48
4.16 1 日目のセットアップの写真 48
4.17 2 日目のセットアップの模式図 49
4.18 2 日目のセットアップの写真 49
4.19 ゲインの吸収線量依存性 (20 krad 照射、5-bit DAC 値 0) 51
4.20 スキャッタープロットの標準偏差の吸収線量依存性 (20 krad 照射、5-bit DAC 値 0) 51
4.21 入力等価雑音の吸収線量依存性 (20 krad 照射、5-bit DAC 値 0) 52
4.22 積分非線形性の吸収線量依存性 (20 krad 照射、5-bit DAC 値 0) 52
4.23 各単体性能パラメーターの吸収線量依存性（20 krad 照射、5-bit DAC 値 3） 53
4.24 各単体性能パラメーターの吸収線量依存性（200 krad 照射、5-bit DAC 値 0） 54
4.25 各単体性能パラメーターの吸収線量依存性（200 krad 照射、5-bit DAC 値 3） 55
4.26 HIMAC の模式図 56
4.27 HIMAC のビーム発射口 57
4.28 プロトン照射中の蛍光板 57
4.29 縦置き治具によって固定した 2 枚の基板 57
4.30 プロトン照射による吸収線量 58
4.31 ゲインの吸収線量依存性（プロトン照射） 60
4.32 入力等価雑音の吸収線量依存性（プロトン照射） 60
4.33 ASIC ベアチップへの鉄イオンの正味の照射量 (chip7) 62
4.34 ASIC ベアチップへの鉄イオンの正味の照射量 (chip12) 62
4.35 ASIC ベアチップへの鉄イオンの正味の照射量 (chip13) 62
4.36 鉄イオン照射前の channel 0 even のスキャッタープロット 63
4.37 ASTRO-H 軌道上における LET スペクトル 65
4.38 恒温槽外観の写真 66
4.39 加工前後の NI ケーブルを用いて得られた単体性能の比較 67
4.40 衛星温度環境試験の実験セットアップの写真 67
4.41 衛星温度環境試験中の基板を流れる電流と温度変化 69
4.42 ゲインの温度依存性 70
4.43 ゲインの変動幅 70
4.44 その他の単体性能の 0~40 ℃における変動幅 71
4.45 単体性能の温度依存性の比較 72

A.1 Pch-2k4k CCD の写真 74
A.2 X 線スペクトル 75

B.1 バルク CMOS と SOI CMOS 77
B.2 ASIC の写真 77
B.3 プリアンプ 78
B.4 フォールデッドカスコード型トランスコンダクタンス増幅器 78
B.5 ローパスフィルターと相関二重サンプリング回路の回路構成 79
B.6 2 系統の ADC とマルチプレクサの回路構成 80
B.7 信号波形 1 80
B.8 信号波形 2 80
B.9 CCD と ASIC をマウントした基板の写真 81
B.10 $MiKE$ システム 83
B.11 アルマジロシステム 83
B.12 実験システムのブロック図 83
B.13 ダイナミックレンジと直線でフィッティングしたときの残差 85
B.14 雑音性能 85
B.15 X 線スペクトル 87
B.16 X 線イメージ 87

表 目 次

3.1 SXI-ASIC 仕様 31

4.1 単体性能の評価試験におけるデータ取得条件 37
4.2 第 2 照射室諸元 44
4.3 コバルト 60 ガンマ線照射試験のデータ取得条件 50
4.4 図 4.19∼ 図 4.25 の各 ADC 出力の結果とグラフ中のプロットマークの対応表 50
4.5 HIMAC のビーム諸元 55
4.6 プロトン、鉄イオン照射試験におけるデータ取得条件 56
4.7 図 4.31 と図 4.32 の 'MND02' の各 ADC 出力の結果とグラフ中のプロットマークの対応表 60
4.8 鉄イオンビーム詳細 61
4.9 LET = 1.68 MeV·cm^2/mg における Integral flux (particle/cm^2/str/sec) . . 64
4.10 ケーブル別単体試験におけるデータ取得条件 66
4.11 衛星温度環境試験におけるデータ取得条件 68
4.12 図 4.42 における読み出し速度とプロットマークの対応 70

A.1 Pch-2k4k CCD の仕様 75
A.2 Pch-2k4k CCD 接続試験結果 75

B.1 ASIC 仕様 77
B.2 X 線 CCD 仕様 81
B.3 X 線 CCD 駆動条件 86

第1章　序論

1.1　X 線天文衛星における X 線 CCD

日本の衛星として初めて光子計数可能な X 線 CCD カメラが搭載されたのは、1993 年に打ち上げられた『あすか』であった。X 線 CCD カメラ (SIS：Solid-State Imaging Spectrometer) は、X 線望遠鏡の焦点面検出器として搭載され、初めて入射した X 線のエネルギー (分光) 情報を得る光子計数モードで天体観測を行った X 線 CCD であった。X 線 CCD は高い感度と低バックグラウンドで撮像観測を行うことができ、それまでの X 線天文衛星では不可能であった 4 keV 以上の X 線撮像分光観測を可能にし、『あすか』は世界的にも非常に画期的な衛星として、世界中の研究者に利用され、多大な成果をあげた。その後の X 線天文衛星としてはアメリカの『Chandra』や、ヨーロッパの『XMM-Newton』、日本の『すざく』が打ち上げられ [3][4]、現在観測を行っている。これらの衛星にも X 線望遠鏡とその焦点面検出器として X 線 CCD が搭載されている。現在では、X 線望遠鏡の焦点面検出器として CCD を用いた X 線結像光学系は、X 線天文衛星の標準的な装備となっている。

1.2　衛星搭載用 X 線 CCD の新たな課題

近年では半導体技術の進歩にともない、より高性能な X 線 CCD の開発が進められている。新たに開発されている X 線 CCD の特徴は、これまでよりも広い視野を得るために CCD 素子の大フォーマット化と、それにともなった読み出しノード数の増加である。X 線 CCD は X 線天体の撮像に加えて、分光を行う光子計数モードで動作させる必要がある。光子計数モードで動作させるには、正確なエネルギー情報を得るために同じ CCD の画素に X 線が 2 つ以上入射 (パイルアップ) してはならない。処理する画素数に対して読み出しノード数が少ないと、CCD の 1 画面当たりの読み出しに時間がかかってしまうためパイルアップする確率が高くなる。また、1 画素当たりの読み出し速度と雑音はトレードオフの関係にあるため、低雑音読み出しを実現するためには 1 画素当たりの読み出し時間を 10 マイクロ秒以下にするのは困難である。よって CCD の読み出しノードの数を増やし並列に信号処理を行うことで、実効的な読み出し速度を高める必要がある。

1.3　信号処理回路の ASIC 化

CCD の読み出しノードを増やした場合、後段の信号処理回路の数も増やさなくてはならない。しかし衛星搭載を念頭においた場合電力とスペースが限られることから、これまでの X 線 CCD カメラの読み出しシステムと同様に個別の IC で構成することは非現実的になりつつある。そこで我々は読み出しシステムの小型化と低消費電力化を目指して、X 線 CCD カメラの信号処理専用集積回路 (Application Specific Integrated Circuits：ASIC) の開発を行っている。

X 線 CCD の読み出しを行う ASIC の開発は、一部の機関ですでに行われており、例えば XMM-Newton 衛星に搭載されている PN-CCD の読み出しに用いられている [7]。しかし、これらの技術

は、研究機関外に公開されることはないために自ら開発を行う必要がある。また、これらの ASIC は AD (Analog-to-Digital) 変換機能を持たないため、後段に別途 AD 変換回路を実装する必要がある。我々はより一層の読み出しシステムの小型化を目指して、AD 変換回路を内部に含めた ASIC の開発を検討した。これにより、ASIC 後段のデータ取得システムはデジタル信号のみを扱うため構成が容易になるというメリットも得られる。

一方で、初めから大規模なアナログ集積回路 (LSI) を一から作ることは困難であるため、宇宙科学研究所の池田博一教授が中心となり開発を進めている OPEN IP[16] を用いて、X 線 CCD の信号処理用 ASIC の開発を行った。また、回路の主要な設計は Noqsi Aerospace 株式会社の John P. Doty 氏に協力を依頼し共同で開発を進めた。

1.4 衛星搭載をめざして

本 ASIC は次期 X 線天文衛星 ASTRO-H への搭載を予定している。軌道上における衛星内の環境と地上の実験室の環境では、大きく異なる点が 2 つある。1 つは温度環境である。実験室では基本的に室温で一定に保たれているのに対し、衛星内では、日陰 · 日照による温度変動がある。もう 1 つは、軌道上では地上と異なり放射線にさらされることである。

実際に衛星に ASIC を搭載するにあたり、我々はこれら軌道上における衛星環境において ASIC が正常に動作することを実証する必要がある。そこで本研究では、ASIC の放射線耐性と ASIC 単体性能の温度依存性の評価を行った。以下、本論文では 2 章に X 線 CCD の説明、3 章に軌道上における衛星環境と ASIC 概要、4 章では ASIC の性能評価試験の結果、5 章で本文をまとめた。また、付録 A として常深研究室の同期である阪口くんが中心となっておこなった本 ASIC と X 線 CCD の接続試験結果を簡潔にまとめた。付録 B として本 ASIC とは別の X 線 CCD 信号処理用 ASIC の試作とその評価の結果をまとめた。

第2章　X線CCD (Charge-Coupled Device)

2.1　CCDの構造

CCD(電荷結合素子)は1970年にAT&Tベル研究所のBoyleとSmithにより考案された。CCDは電荷転送デバイスの1つであり、ポテンシャルウェルの変化を利用して半導体中で電荷を転送するデバイスである。CCDのポテンシャルウェルは複数のMOS(Metal Oxide Semiconductor)構造を組み合わせ、周囲の電極と異なる電圧を加えることにより実現する(図2.1)。電極に加える電圧を交互に変化するとポテンシャルウェルに閉じ込められた電荷は半導体中を出力部分に向けて転送される。以上の動作よりCCDはアナログシフトレジスタとも呼ばれる[12]。

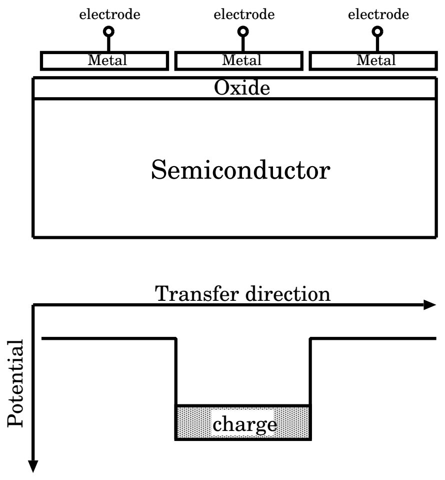


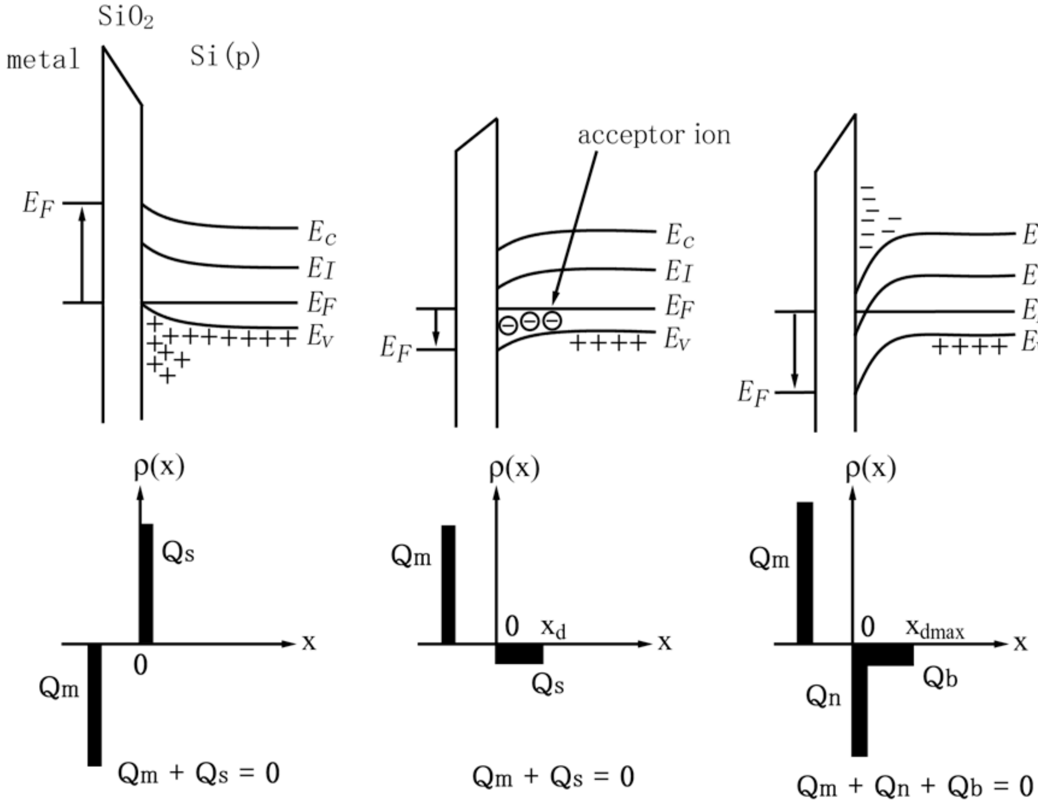
図2.1: CCDの基本構造

図は1画素に2つの電極を持つ2相電極型のCCDである。CCDの基本構造はシリコン基板と電極部分を絶縁するためのフィールド酸化膜(SiO_2)があり、その上に電圧を印加するための電極(poly-Si)を形成して電極同士はSiO_2層で絶縁した構造を持つ。絶縁した電極間のギャップは数μmであるために各画素の電極に印加する電圧を交互に変化すると隣接する電位は互いに結合して電極は転送される。また、電荷転送の垂直方向には隣の画素と電気的な境界としてチャネルストップと呼ばれるイオンを打ち込んだ領域を持ち電荷の広がりを防ぐ構造をしている。

2.1.1　CCD内の電場

MOSの電極に電圧を印加することで、CCD内の電場は蓄積、空乏、反転と呼ばれる3つの状態をとる。これらの状態のエネルギーバンドと電荷分布を図2.2に示す[27]。

a. 蓄積状態
電極に負電圧を印加すると、自由正孔は半導体表面に自由正孔が引き寄せられる。このとき、



(a) 蓄積状態　　(b) 空乏状態　　(c) 反転状態

図 2.2: MOS 内のエネルギー準位と電荷分布。E_c は伝導帯、E_V は価電帯のエネルギー準位を、E_I は真性フェルミ準位、E_F はフェルミ準位を表す。(a) は蓄積状態、(b) は空乏状態、(c) は反転状態のエネルギー準位と電荷分布である。([27] より転写)

表面の正孔濃度 p_p は

$$p_p = n_i \exp(\frac{E_I - E_F}{kT}) \tag{2.1}$$

となり、正孔が酸化膜表面付近に集まる。ここで、n_i は真性キャリア密度、E_I は真性フェルミ準位、E_F はフェルミ準位を表す。この状態を蓄積状態という (図 2.2 (a))。

b. 空乏状態

一方、電極に正電圧を印加すると、P 型半導体の多数キャリアである正孔は表面から押しやられ、負に帯電したアクセプタイオンがほぼ一様に分布する。そして、表面には電子も正孔も存在しない領域 (空乏層) ができる。この状態を空乏状態という (図 2.2 (b))。電極とアクセプタイオンとの間には強い電場が存在する。この時、空乏層中の電荷 Q_s はアクセプタイオンだけだと仮定する (空乏近似) と、空乏層の電荷密度 ρ_s は

$$\rho_s = -eN_A \tag{2.2}$$

よって、単位面積あたりの電荷は

$$Q_s = -eN_A x_d \tag{2.3}$$

となる。 N_A は不純物濃度、 x_d は空乏層の厚さである。これより、深さ方向の一次元のポアソン方程式は

$$\frac{d^2\phi}{dx^2} = \frac{eN_A}{\varepsilon} \tag{2.4}$$

となる。深さ x_d(空乏層と中性領域の境界) での電場を 0 とすると、境界条件は

$$\frac{d\phi}{dx} = 0 \qquad (x = x_d) \tag{2.5}$$

$$\phi = \phi_s \qquad (x = 0) \tag{2.6}$$

となる。ϕ_s は電極の印加電圧である。式 (2.4) を (2.5)、(2.6) の条件で解くと

$$\phi = \frac{eN_A}{2\varepsilon}x^2 - \frac{eN_A x_d}{\varepsilon}x + \phi_s \tag{2.7}$$

が得られる。また、$\phi(x = x_d) = 0$ だから、空乏層の厚さ x_d は

$$x_d = \sqrt{\frac{2\varepsilon\phi_s}{eN_A}} \tag{2.8}$$

となる。従って、空乏層を厚くするには不純物濃度を低くしなければならない。また、空乏層の厚さは電極に印加する電圧の平方根に比例することがわかる。

c. 反転状態

電極に印加する電圧をさらに高くすると、エネルギーバンドがさらに下向きに曲がり、表面でのフェルミ準位 E_F が真性半導体のフェルミ準位 E_I よりも高くなる。このときの電子の濃度 n_p はエネルギー差 $E_F - E_I$ に従い指数関数的に増大し、

$$n_p = n_i \exp(\frac{E_F - E_I}{kT}) \tag{2.9}$$

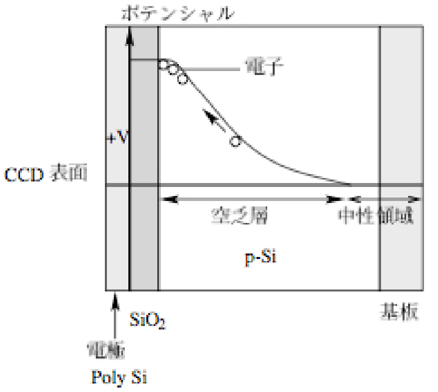
となる。このとき表面付近での電荷は、多数キャリア (正孔) よりも小数キャリア (電子) が多くなるので、この状態は反転状態と呼ばれる (図 2.2 (c))。さらにバンドが曲がり、伝導帯がフェルミ準位に近づくと表面付近の電子密度は急激に増大し、半導体内の負電荷の大部分が 10~100 Å の厚みに集中し、n 型反転層を形成する。反転層が形成されると、反転層内の電子により、電場の遮蔽効果が生じる。この状態で電極の印加電圧を高くしても、それに伴い、反転層の電荷が非常に多くなり、空乏層が広がらなくなる。

2.1.2 表面チャネル型 CCD と埋め込みチャネル型 CCD

MOS 構造を持つ CCD は電荷転送を行う深さの違いによって、表面チャネル CCD (Surface channel CCD) と埋め込みチャネル CCD (Buried channel CCD) に分けられる。CCD は電極に逆バイアスをかけることで、内部に信号電荷を蓄積するポテンシャルが形成されるが、この 2 種類の CCD によってポテンシャルの形が異なる。図 2.3 にそれぞれの CCD の電極に +V の電圧を印加したときのポテンシャルを示した。

表面チャネル CCD は、CCD 表面から、金属、絶縁帯、p 型 Si という構造を持つ。電荷を蓄積するポテンシャルウェルの底は Si と SiO_2 の界面に存在する。一般にこういう界面では、格子欠損が多く存在する。そのため、電荷転送の際、Si-SiO_2 界面に存在する電荷トラップによって信号電荷の一部が失われることがある。

埋め込みチャネル CCD は p 型 Si と絶縁帯の間に n 型 Si 層を形成することにより、ポテンシャルの井戸の底が表面より深い位置になる。これにより、界面トラップによる電荷損失が軽減され、高い電荷転送効率が実現される。近年作られた素子はほとんどが埋め込みチャネル型である。



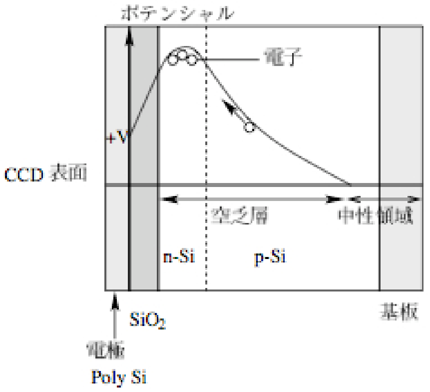


図 2.3: 表面チャネル CCD（左）と埋め込みチャネル CCD のポテンシャル（右）

2.2 X 線検出原理

CCD は Si を用いて制作された半導体検出器の 1 つである。X 線は高エネルギーの電磁波であるため、電荷を持たず、直接的には Si 結晶中に電子正孔対を作ることはない。しかし、CCD に照射された X 線は Si 原子との間に相互作用を起こし、失ったエネルギーに比例した数の電子正孔対を 2 次的に生成する。この電子は空乏層中の強い電場に引かれて電極付近に集められ、読み出される。この節では、CCD の X 線の検出過程について述べる。

2.2.1 X 線吸収過程

X 線が物質中に入射すると、次の 3 通りの相互作用が起こる。

1. 光電吸収 (photoabsorption)
2. コンプトン散乱 (Compton scattering)
3. 電子対生成 (pair creation)

CCD の検出可能なエネルギー領域は、100 eV〜10 keV の領域である。これよりも低いエネルギー領域の X 線では、空乏層の X 線入射方向前面にある不感領域で吸収されてしまい、検出することができない。一方、10 keV よりも高いエネルギー領域では空乏層を透過してしまう。さらに、10 keV よりも高いエネルギー領域ではコンプトン散乱の割合が高くなる。CCD は X 線入射位置だけではなく、エネルギーも測定するため、光子が全てのエネルギーを失わないコンプトン散乱では、エネルギーを求めることができない。そこで、これからは CCD に入射した X 線が光電吸収を起こした場合について述べる。

エネルギー E_{photon} を持った光子が CCD に入射し、光電吸収が起こると、入射光子は吸収点で消滅し、光電子 (Photoelectron) が発生する。この光電子の持つエネルギー $E_{electron}$ は

$$E_{electron} = E_{photon} - E_{binding} \tag{2.10}$$

となる。ここで、$E_{binding}$ は光電子となる前の電子[1]と原子核との結合エネルギーである。光電子が放出されることによって生じた空孔は原子内の電子の再配列や、自由電子の捕獲などによって満たされ、それに伴ってオージェ電子、もしくは Si の特性 X 線が放出される。発生した光電子は運動エネルギーを失うまで、周囲の原子を電離させながら進み、

$$N_{electron} = \frac{E_{electron}}{W} \tag{2.11}$$

となる $N_{electron}$ 組の電子正孔対を生成する。ここで W は Si の平均電離エネルギー[2]である。オージェ電子が発生したときは光電子と同じように周囲の原子を電離させながらすすみ、

$$N_{auger} = \frac{E_{binding}}{W} \tag{2.12}$$

となる N_{auger} 対の電子正孔対を作る。この場合は最終的に生成される電子正孔対 N は、

$$N = \frac{E_{electon}}{W} + \frac{E_{binding}}{W} = \frac{E_{photon}}{W} \tag{2.13}$$

となり、入射 X 線のエネルギーに比例した数の電子正孔対が生成される。例えば 5.9 keV の X 線が入射した場合、約 1600 個の電子正孔対が発生する。

このとき生じた電荷を集め、電気信号として取り出すことによって、X 線を検出することができる。

[1] 入射 X 線のエネルギーが 1.8 keV 以上の時は、K 殻の電子である確率が最大になる。
[2] 入射 X 線のエネルギーと温度の関数であるが、10 keV 程度でほぼ W=3.65[eV] である。

エスケープイベント

入射 X 線のエネルギーが 1.83 keV を越える場合、オージェ電子が放出されず、Si の特性 X 線 (1.74 keV) が放出される場合がある。この特性 X 線の Si 中での平均自由行程は 20μm 程度であり、CCD の画素サイズや空乏層厚と同程度のスケールである。従って、ある画素で発生した特性 X 線が、離れた画素で吸収される場合や、CCD の外に逃げてしまう場合がある。このようなイベントをエスケープイベントと呼ぶ。エスケープが起こると、元の画素で集められる電荷量は、Si の特性 X 線のエネルギー分だけ少なくなり、スペクトルの低エネルギー側にエスケープピークが形成される。エスケープイベントで発生した特性 X 線が、離れた画素で吸収された場合は、スペクトルに 1.74 keV のピークが現れる。

2.3 信号電荷転送方式

空乏層内で光電吸収が起こり、発生した電子は電極に引きつけられ蓄積される。CCD はこの信号電荷を、縦転送、横転送と呼ばれる 2 方向の電荷転送を行うことによって、信号電荷を読み出し口まで転送する。そして、電荷 – 電圧変換を行うことによって、それぞれの画素の信号を読み出している。ここでは、信号電荷の読み出しについて述べる。

フルフレーム転送型

フルフレーム転送型 CCD は他の転送方法の CCD に比べて最も単純な構造をしている。電荷の転送中にも X 線が入射するため、正確な位置情報を得ることができない。そのため、フルフレーム転送型 CCD は通常、何らかの外部のシャッタ機構と併用して使用する。しかし、衛星搭載用としては信頼性に欠けるため通常、このタイプの CCD は使用しない。フルフレーム転送型 CCD は同一のチップサイズで画素数を増加させたり、画素サイズを大きくできるため、主にフレームレートの遅い計測用、分析用として利用される。

フレーム転送型

フレーム転送型 CCD はフルフレーム転送型 CCD に、蓄積部を加えたような構造をしている。露光後の CCD データをフレームごと蓄積部に高速転送してから 1 画素ずつ読み出す。蓄積部の上部には遮蔽がなされており、X 線の入射を防ぐことができる。そのため、フレーム転送型 CCD はシャッタ機構を併用せずとも、正確な位置情報を得ることができる。衛星搭載用 X 線 CCD ではこのタイプの CCD は主流である。

インターライン転送型

インターライン転送型 CCD では、受光部はフォトダイオードか MOS 構造のダイオードで制作されており、垂直転送レジスタと受光部が一列ずつ交互に並んだ構造をしている。最近では、暗電流の少ない埋め込み型フォトダイオードが使用されている。受光部で光電変換により発生した信号電荷は、受光部と垂直転送レジスタの間に設けられた、トランスファーゲートを通して、垂直転送レジスタに送られる。垂直転送レジスタへの電荷転送は、フルフレーム転送型やフレーム転送型 CCD とは異なり、全画素について同時に行われる。垂直転送レジスタはアルミニウムなどによって遮光されているが、X 線に対しては透明なため、この方式の CCD は可視光用として使用される。

フルインターライン転送型

フルインターライン転送型 CCD は、インターライン転送型 CCD の問題点を解決するため、インターライン転送型 CCD に蓄積部を設けた構成となっている。インターライン型 CCD では、垂直転送レジスタでの転送中、受光部は蓄積状態になっている。そのため、受光部から垂直転送レジスタへの信号電荷の漏れ込みが生じる。この現象はスミアと呼ばれている。フルインターライン転送型 CCD では、受光部から垂直転送レジスタへ信号電荷が転送した後、すぐに蓄積部へ高速転送されるため、スミアを少なくすることができる。

2.3.1　2 相、3 相電極による電荷の転送

空乏層中で発生した電子は、正の電圧を印加された電極下のポテンシャルに蓄積される。その後、電極に印加する電圧を変化させることによって、ポテンシャルウェルの位置を変え、電子を転送する。1 画素に取り付けられている電極の数の違いによって、3 相電極 CCD、2 相電極 CCD などの種類がある。

3 相電極 CCD (図 2.4) では、常にある電極に正の電圧を印加することによってポテンシャル障壁を作り、電荷の転送を行う。ポテンシャルは電荷転送方向に対し対称なので、電極に印加するクロックパターンを変化させることにより、電荷転送方向を反転させることができる。

2 相電極 CCD (図 2.5) では、製造段階で同一電極下の不純物濃度に差を付けることで、電荷転送方向にポテンシャルの差を作る。そして、2 つの電極に交互に正、負のクロックを与えることで、電荷の転送を行う。浜松ホトニクス社製の CCD は 2 相駆動方式である。

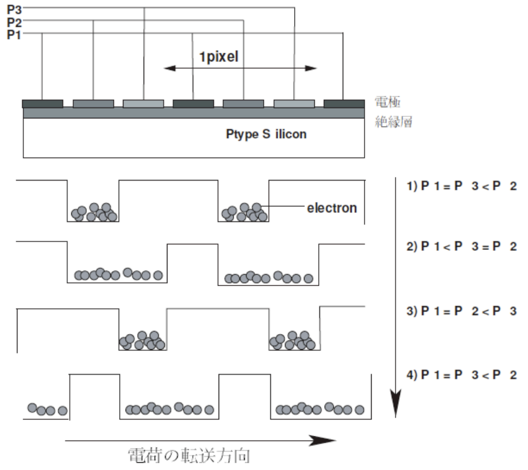


図 2.4: 3 相電極 CCD の構造

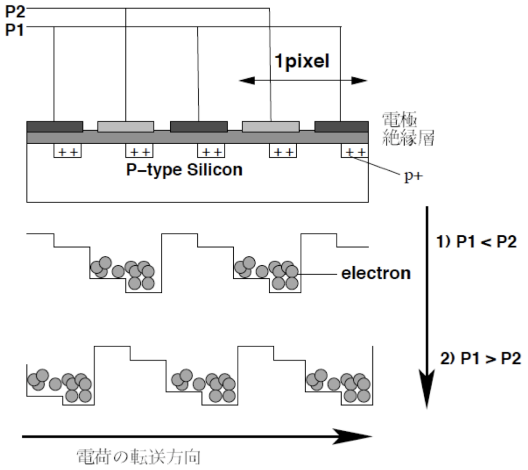


図 2.5: 2 相電極 CCD の構造

2.3.2　電極の配置

図 2.6 に浜松ホトニクス社の CCD の電極の並び方を示す。受光部には P1V、P2V と呼ばれる縦転送用の 2 相の電極が順番に並び、受光面から横転送レジスタに転送する最後に TG (Transfer Gate) と呼ばれる他の縦転送用電極とは独立した電極がある。通常 TG は P2V とショートさせ同じクロックで動作させることによって電荷を横転送レジスタに転送する。横転送レジスタにも受

光面と同様に横転送用の電極として P1H、P2H の 2 つの電極が順番に並んでいる。横転送レジスタの最後には SG (Summing Gate) と呼ばれる独立した電極がある。SG も TG と同様に P2H と同じタイミングのクロックで動作させることによって 1 画素の電荷を読み出すことができる。電荷を読み出すことができる。

ISV、IG1V、IG2V、ISH、IG1H、IG2H は電荷注入法を行う時に使用する電極である。通常は ISV、ISH は RD に、他はグランドにショートさせる。

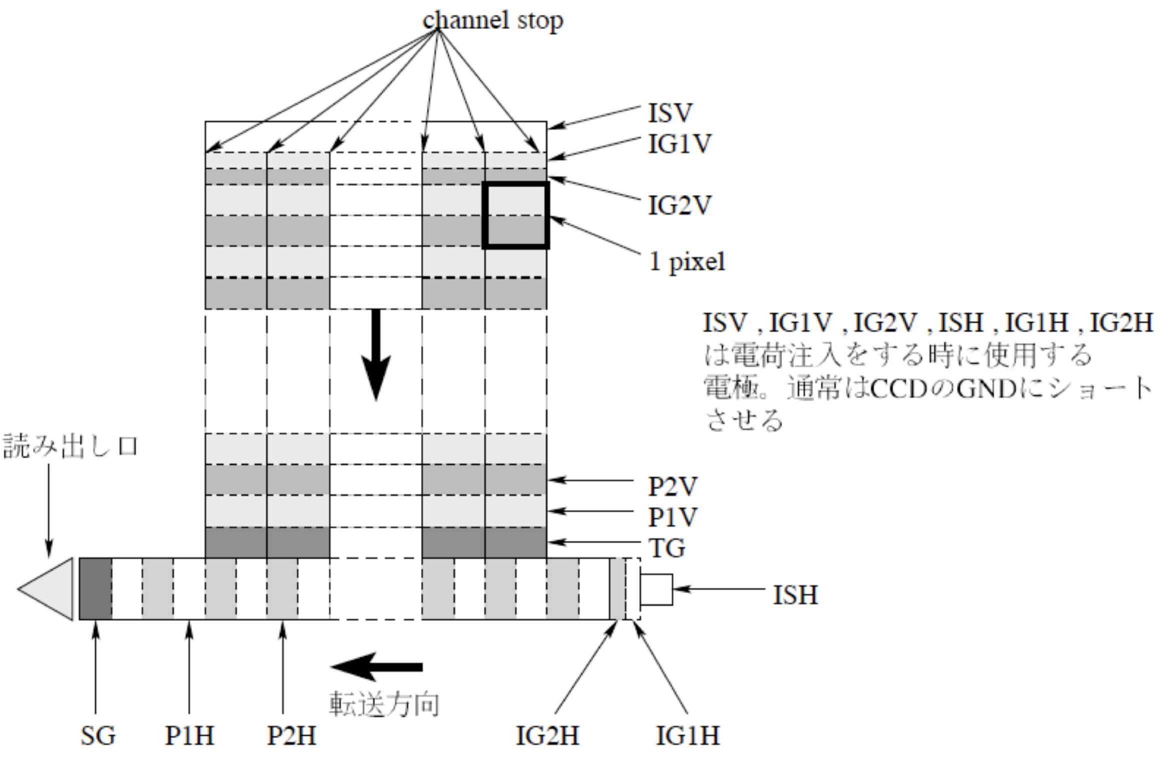


図 2.6: 浜松ホトニクス社の CCD の電極の並び方

2.4 電荷-電圧変換：FDA 方式

CCD によって集められ、転送された電子は、読み出しの最終段の MOS-FET によって、電荷－電圧変換が行われ、信号が取り出される。ほとんどの CCD では FDA (Floating Diffusion Amplifier) という増幅回路 (図 2.7) を内蔵する。FDA では電荷リセット用 FET (MOS FET1) と電荷－電圧変換用 FET (MOS FET2) が使われ、リセット用 FET のゲート (RG:Reset Gate) とドレイン (RD:Reset Drain) 、並びに電荷－電圧変換用 FET のドレイン (OD:Output Drain) とゲート (OG:Output Gate) に外部回路から電圧を印加して使用する。出力信号は電荷－電圧変換用 FET のソース (OS:Output Source) に適当な負荷抵抗をつけてとりだす。一画素分の信号を読み出すには次のような手順をとる。

1. SG の電圧と RG の電圧をハイレベルにして、MOS FET1 をオンにする (図 2.7 (1)) 。すると、Floating diffusion に蓄積された電子が RD に流れ、Floating diffusion の電位が RD の電位と等しくなる。

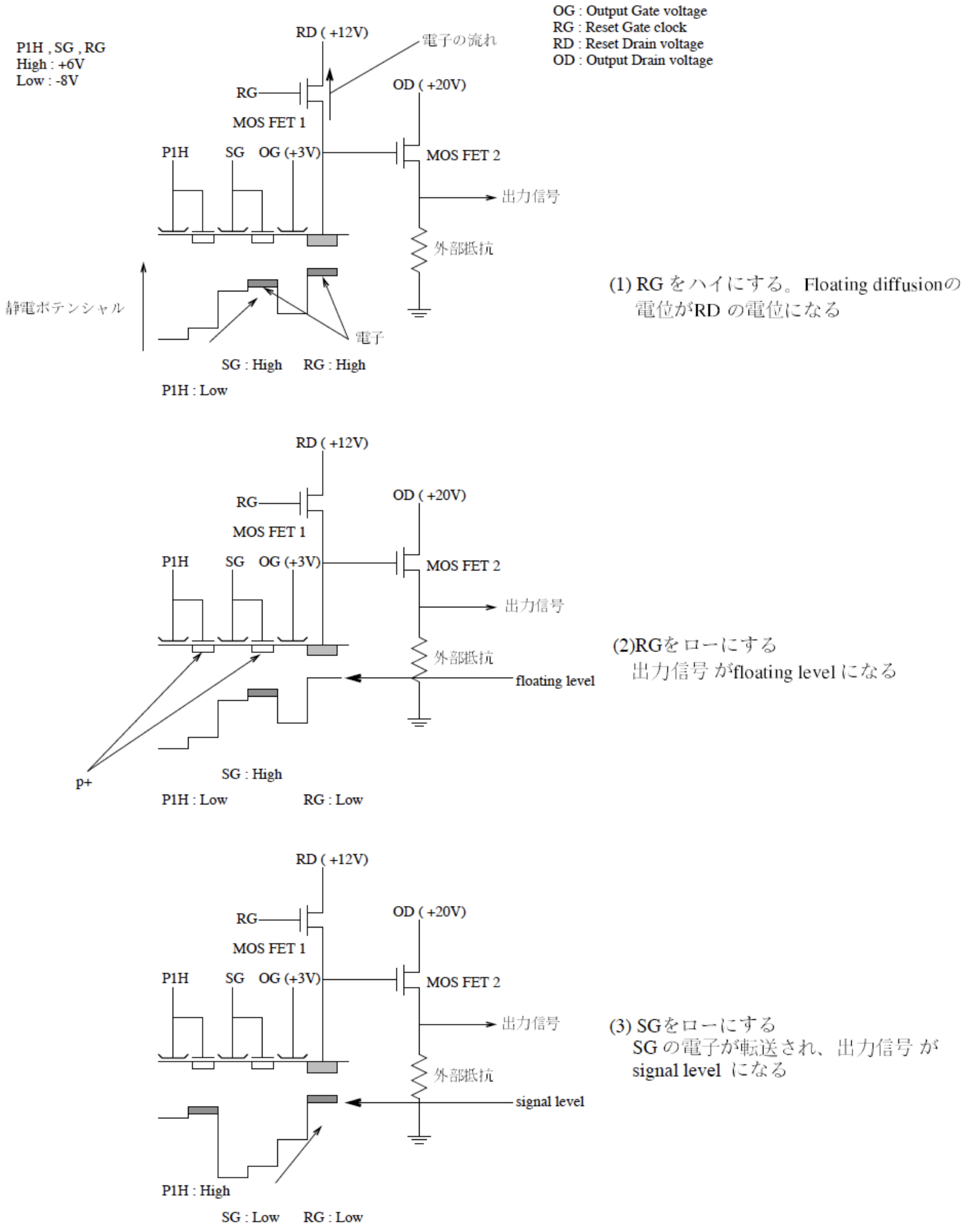


図 2.7: FDA よる読み出し

2. RG の電圧をローレベルにして、MOS FET1 をオフにする (図 2.7 (2)) 。すると RD と読み出し口は切り離され、MOS FET2 の出力は OD と OG によって決まる値になる。このときの出力電圧を floating level といい、この画素の出力電圧を決める際の基準電位となる。このとき、SG はハイレベルのままなので、転送されてきた電子は SG の電極の下に蓄積される。

3. SG の電圧をローレベルにする (図 2.7 (3)) 。すると、SG に蓄積された電子が floating diffusion に流れ、MOS FET2 のゲート電圧が下がる。よって、負荷抵抗による出力電圧は、floating diffusion に流れ込んだ電子の分だけ下がる[3]。このときの出力電位を signal level という。

この 1∼3 の行程を繰り返すことによって、CCD は図 2.8 のような波形を出力する。図 2.9 に CCD 出力の実測波形を示す。図は CCD の出力をプリアンプで 26 倍に増幅した波形である。あとは外部回路によって、floating level と signal level の電位差を測り、その画素の信号波高値を求める。

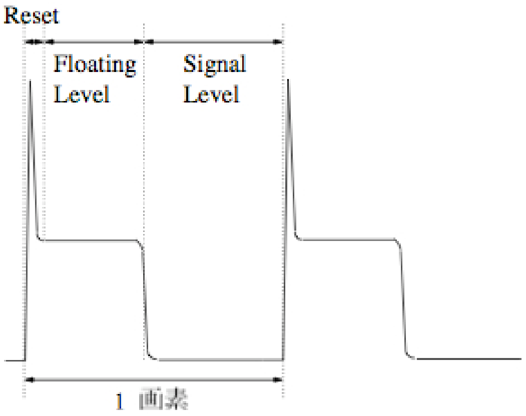


図 2.8: CCD の出力信号の概略図。

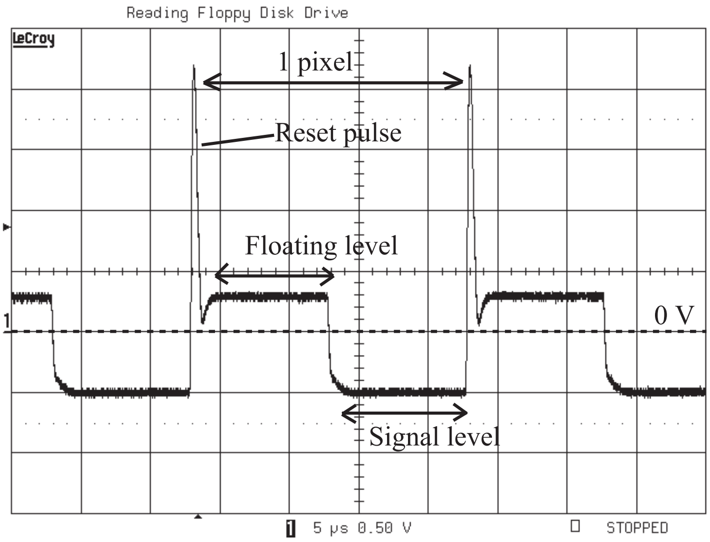


図 2.9: CCD 出力の実測波形 (プリアンプ 26 倍)、動作温度 −60 度

[3]電位の変化 V は電荷を Q、ポテンシャルの静電容量を C とすると、V=Q/C となる。

2.5　電荷読み出し方式

CCD 1 画素当たりの出力波形は図 2.8 に示すよう floatinglevel と signal level と呼ばれる電位差を持つ。floating と signal level の電位差を読み出すことによりその画素の信号波高値がわかる。信号の読み出し方式には代表的なものとして、遅延方式、多重サンプリング方式、積分方式がある。

2.5.1　遅延方式

遅延方式とは出力信号を 2 つに分け、一方の遅延させた信号との差を画素波高値として読み出す方式をいう。信号差はホールド回路で保持し、A/D 変化をおこない floating と signal level の差を求める。f この方式の利点としては回路がシンプルであることであるが、CCD の駆動速度が遅延時間により制限されるため、高速駆動は難しい。また、遅延信号にノイズがのるため、精度の高い測定には複数の遅延時間を持たせた信号を積分する必要がある。X 線天文衛星『あすか』に搭載した X 線 CCD(SIS) は遅延方式を採用し読み出し雑音は等価電子数換算で約 5 個であった [6]。

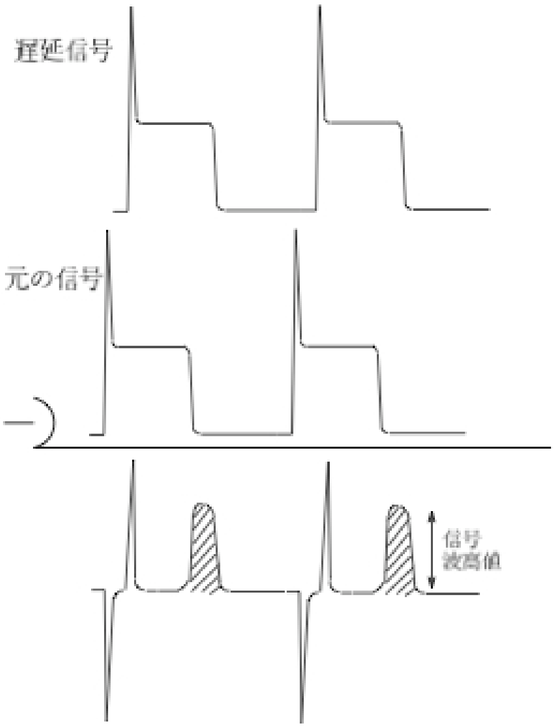


図 2.10: 遅延方式

2.5.2　多重サンプリング方式

多重サンプリング方式とは、floating と signal level の複数回サンプリングを行い、得られた信号差を画素波高値として読み出す方式をいう。この方式ではノイズ周波数分布が一様であると仮定すると、ノイズをサンプリング回数のルート分の 1 に低減できる。しかし、サンプリング回数を増加させるには高速な ADC を用いるか、CCD の駆動速度を制限する必要がある。SC 回路（スイッチトキャパシタ回路）を用いて実現することができるが、回路構成が複雑になる [6]。

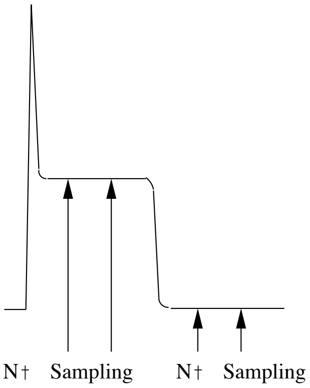


図 2.11: 多重サンプリング方式

2.5.3　積分方式

floating,signal level の信号をそれぞれ積分し、積分信号の差を画素波高値として読み出す方式をいう。この方式では積分することにより高周波雑音を抑えることができ、信号差をとることで低周波雑音を抑えることができる。つまり、バンドパスフィルターである。また、積分時間を変更することでゲインの調節が容易にできるが、逆に積分時間を調節する信号の精度が悪いと増幅率がばらついてしまうために回路系は厳密な精度が要求される [6]。

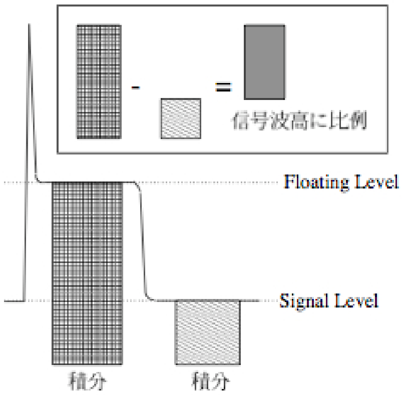


図 2.12: 完全積分方式

2.6 CCD のデータ取得方法

ここまでは CCD での X 線の検出と電荷の転送、及び出力信号の読み出し方法までを説明した。X 線 CCD は光子計数モードで動作することで撮像と波長分光を同時に行うことができる。エネルギー分解能の良いスペクトルを得るためには、X 線のエネルギーの情報となる CCD に蓄積された電荷量を正しく測定する必要がある。特に入射 X 線によって発生した信号電荷が複数の画素にまたがる場合は、その電荷量を正確に測定するための適切なデータ処理を行う必要がある。ここでは X 線 CCD のデータ取得方法についてのみ説明を行う。(データ取得後のイベント処理については他の論文を参照して頂きたい [6])。

2.6.1 CCD で得られたイメージ

得られた CCD 一画面分のイメージを図 2.13 に示す。得られたイメージは CCD に ^{55}Fe を照射し 10 秒間の撮像を行ったイメージである。上図は CCD で得られた全体のイメージで、色が薄い方がより波高値が高いことを表している。使用した CCD は画素サイズが $24\mu\mathrm{m}\times24\mu\mathrm{m}$、画素数が 512×512 画素の素子である。しかし、得られたイメージは CCD の画素数より多い 600×600 画素としてデータ取得したものである。得られたイメージには図 2.13 の上図に示すように各領域ごとに名前が付けられ、得られる信号の持つ性質も異なる。CCD の画素の部分は有効画素領域、縦方向に余分に読まれる領域は VOC(Vertical Over Clock)、横方向に余分に読まれる領域は HOC(Horizontal Over Clock) と呼ばれる。有効画素領域以外を読み出す目的は暗電流や転送、読み出しにおける雑音の評価をするためである 。以下にそれぞれの領域について説明を行う。実際の雑音の計算方法は第 2.7 節で行う。

- HOC 領域
  HOC 領域は横方向に有効画素数より余分に読まれた仮想領域である。HOC 領域の信号には CCD 画素からの情報はなく、横転送中に転送レジスタで発生する雑音と読み出し時に発生する雑音が含まれる。

- VOC 領域
  VOC 領域は縦方向に有効画素数より余分に読まれた仮想領域である。VOC 領域の信号には縦転送中に発生する雑音と HOC 領域の雑音が含まれる。

- 有効画素領域
  有効画素領域は実際に CCD 素子の持つ画素の領域である。有効画素領域にある周りよりも高い波高値の画素 (図中の白い点) は X 線を検出した画素であり、検出した X 線はイベントと呼ばれる。有効画素領域の信号には X 線イベントと暗電流の揺らぎにより発生する雑音、VOC 領域の雑音が含まれる。

また、図 2.13 の下図は上図のイメージを拡大したものであり X 線のイベントを丸で囲った。下図の 1 画素イベントとは入射した X 線により発生した信号電荷が CCD の 1 画素に収まったイベントである。イメージ中の白い四角は実際に CCD の 1 画素に対応する。2、3 画素イベントとは信号電荷が 2、3 画素に広がったイベントである (広がった画素のイベントの定義や判定については他の論文を参照して頂きたい [6])。

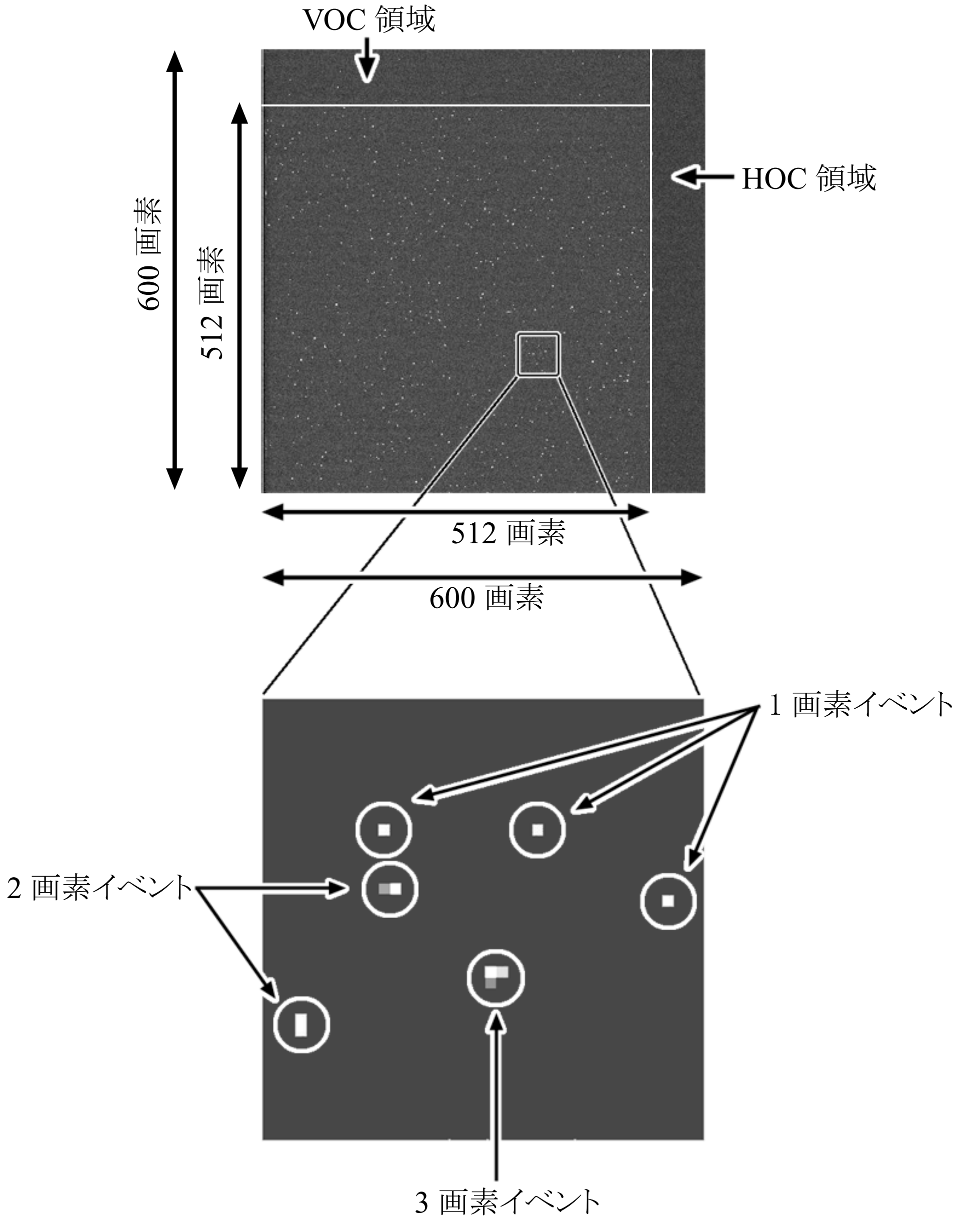


図 2.13: X 線を照射し、10 秒間露光して得られたイメージ。上図は、得られたイメージの全体図。白色は黒色よりも波高値が高いことを表す。中央が有効画素領域、その右が HOC 領域、上が VOC 領域である。下図は、上図の一部を拡大したものである。丸で囲んだ部分が X 線の入射した画素。周りの画素よりも非常に波高値が高くなっている。また、ほとんどが 2 ×2 画素以内におさまっている。

2.7 エネルギー分解能

CCD のエネルギー分解能は生成される電子数の揺らぎ (統計的揺らぎ) とそれに加わる雑音によって決まる。エネルギー分解能を低下する雑音の種類は発生過程の違いにより主なものとして暗電流の揺らぎ、縦転送雑音、読み出し雑音がある。以下にそれぞれの雑音源の定義と見積もり方を説明する。

2.7.1 統計的揺らぎ

CCD(シリコン) に入射したエネルギー E [eV] の X 線がすべて電子に変換されると、

$$N = \frac{E}{W} \tag{2.14}$$

個の電子が生成する。ここで、N は発生する電子数、W はシリコンの平均解離エネルギーである。生成電子数の揺らぎは、電荷生成の過程をすべて独立過程と考えると

$$\Delta N = \sqrt{N} = \sqrt{\frac{E}{W}} \tag{2.15}$$

になるが、実際は独立過程ではなく、

$$\Delta N = \sqrt{NF} = \sqrt{F\frac{E}{W}} \tag{2.16}$$

となる。F はファノ因子と呼ばれる物質固有の値であり、シリコンでは F=0.12 である。以上から統計的揺らぎの寄与によりエネルギー分解能は

$$\Delta E(FWHM) = 2.35 \times W \times \sqrt{(\Delta N)^2} \quad [eV] \tag{2.17}$$

となる。上記の式を用いて CCD での 6keV の X 線に対するエネルギー分解能を計算すると、

$$\Delta E(FWHM) = 2.35 \times 3.65\,[eV] \times \sqrt{0.12 \times \frac{6000\,[eV]}{3.65\,[eV]}} \sim 120\,[eV] \tag{2.18}$$

となる。この値は CCD でのエネルギー分解能の限界値を示す。実際の測定ではその他の雑音が寄与するためエネルギー分解能は、

$$\Delta E(FWHM) = \sqrt{120^2 + FWHM_{noise}^2} \quad [eV] \tag{2.19}$$

となる。$FWHM_{noise}$ は統計揺らぎ以外の雑音寄与を示す。

2.7.2 暗電流

CCD を構成するシリコン結晶中に格子欠陥や不純物があると、禁制帯にエネルギー準位ができる。そして熱などによってそのエネルギー準位を介して電子が伝導帯に励起すると画素には電荷が蓄積される。以上の過程より蓄積される電荷を暗電流と呼び、1 画素当たりに単位時間中に発生する電子数 (e^-/pixel/秒) として表す。暗電流の発生原因としては、

1. 空乏層内での熱励起

2. Si-SiO_2 界面での表面準位による熱励起

3. 中性領域での熱励起とその拡散

があげられる。このうちで支配的なのは 2 の表面準位による熱励起である。しかし、これは 2.1.1 節で述べた MPP 動作をさせることによって低減できる。3 の中性領域で発生した電荷による暗電流は基板の不純物濃度を高くする事で押さえることができる。いずれの生成要因にせよ暗電流は電子の熱励起によるものであり、素子を冷却することで低減できる。暗電流と温度の間には次のような関係がある [8]。

$$(\text{暗電流}) \propto T^{1.5} \exp(-\frac{E_g}{2k_B T}) \tag{2.20}$$

ただし、T は絶対温度、E_g はシリコンのバンドギャップエネルギーであり、k_B はボルツマン定数である。実験的には VOC 領域の波高値の平均と有効画素領域の X 線イベントの無い画素の波高値 (以後ゼロピークと呼ぶ) の平均を用い次のように定義する。

$$\begin{aligned}(\text{暗電流}) \;&\equiv\; \frac{(\text{有効画素領域のゼロピークの平均波高値}) - (\text{VOC 領域の平均波高値})}{(\text{露光時間})} \\ &\quad \times \frac{(\text{ゲイン})}{W}\end{aligned} \tag{2.21}$$

有効画素領域は露光中に暗電流が蓄積される。一方 VOC 領域は縦転送を行うのみであるため暗電流の蓄積がない。したがって露光時間中に暗電流として発生した電子の分だけ有効画素領域の波高値が高くなる。そこでゼロピークと VOC 領域の波高値の平均の差を求め露光時間で割り、各画素で単位時間に発生した電荷量がわかる。これを電子数に換算するためにゲインをかけて eV 単位にし、Si 中の電子の平均解離エネルギーで割る。このようにして、1 画素あたり単位時間あたりに暗電流として発生した電子の個数を求めることができる。

また、エネルギー分解能に寄与する暗電流のばらつきは次のように定義する。

$$\begin{aligned}(\text{暗電流のばらつき}) \;&\equiv\; \sqrt{(\text{有効画素領域のゼロピークの標準偏差})^2 - (\text{VOC 領域の標準偏差})^2} \\ &\quad \times \frac{(\text{ゲイン})}{W}\end{aligned} \tag{2.22}$$

2.7.3 縦転送雑音

VOC 領域と HOC 領域の違いは、縦転送をしたか否かである。そこで、VOC 領域と HOC 領域の平均波高値の差を調べることで縦転送中に発生したノイズ の大きさを測ることができる。

縦転送ノイズは次のように定義する。

$$\begin{aligned}(\text{縦転送ノイズ}) \;&\equiv\; ((\text{VOC 領域の平均波高値}) - (\text{HOC 領域の平均波高値})) \\ &\quad \times \frac{(\text{ゲイン})}{W}\end{aligned} \tag{2.23}$$

縦転送ノイズは縦転送中に発生した暗電流の他に、spurious charge というノイズ源が考えられている。spurious charge については Janesick らによって次のような説明がなされている [9]。通常の CCD の動作クロックはハイの時の電圧が正の電圧、ローの時が負の電圧がかかっている。したがって、クロック電圧が ローの時に CCD は反転状態になり、界面の正孔の濃度が増加し、表

面準位に正孔がトラップされる。クロックがハイになった時に CCD は反転状態から非反転状態になり、トラップされていた正孔が放出される。この時動作クロックの立上りでトラップされていた正孔は電場により加速を受ける。そして衝突電離によって 電子 を発生させる。これが spurious charge の原因である。

spurious charge を押えるために Janesick らは三値クロックを提案した。今吉 (1997 年) らは三値クロックとローパスフィルターによってクロックの立上り時間を遅くすることが spurious charge を減らすのに有効であることを示した [10]。また、阿久津 (2000 年) らは、縦転送クロックのハイとローの電圧差と縦転送ノイズの間に強い相関があることを示した [11]。

2.7.4 読みだし雑音

読み出し雑音とは読み出しに伴うノイズである。読み出し雑音の成因は FDA に用いられる FET の熱雑音 [12] とそれに付随する浮遊容量によるものが大きい。読み出し雑音の大きさは HOC 領域のヒストグラムの標準偏差をもちい、次のように定義する。

$$(\text{読み出し雑音}) \equiv (HOC\ \text{領域の波高値の標準偏差}) \times \frac{(\text{ゲイン})}{W} \tag{2.24}$$

これは HOC 領域が暗電流や縦転送ノイズの影響を受けない領域だからである。

第3章　衛星搭載をめざしたASICの開発

本研究で開発している ASIC は次期 X 線天文衛星 ASTRO-H への搭載を予定している。本章では、まず ASTRO-H と本 ASIC を用いて信号処理を行う予定の軟 X 線撮像器を紹介する。続いて、ASIC の製造に用いられる CMOS 技術の一般的な説明を行った後、ASIC の概要と ASTRO-H の軌道上における衛星環境について述べる。

3.1　次期 X 線天文衛星 ASTRO-H

次期 X 線天文衛星 ASTRO-H は、現在軌道上の『すざく』に次ぐ我が国の X 線天文衛星である。図 3.1 にその完成予想図を示す。2013 年度の打ち上げ予定で、2 種類の X 線望遠鏡 (軟 X 線望遠鏡、硬 X 線望遠鏡) と 3 種類の焦点面検出器 (軟 X 線撮像器、軟 X 線分光器、硬 X 線撮像器)、及び軟ガンマ線検出器を搭載予定である。これらの検出器を用いて、0.3〜600 keV での広いエネルギー帯での観測を行う。

3.1.1　軟 X 線撮像器 SXI

軟 X 線撮像器 (Soft X-ray Imager： SXI) は、0.3〜20 keV の軟 X 線領域の撮像分光を受け持つ焦点面検出器である。そのため、高い位置分解能とエネルギー分解能を兼ね合わせている X 線 CCD が用いられる。我々の研究室ではこの SXI の開発を担当している。

SXI はこれまでの X 線 CCD よりも広いエネルギー領域をカバーする。低エネルギー側の感度は、表面不感層の厚みによって決まる。そこで、一般的な X 線 CCD は X 線照射面に電極を取り付けているのだが、低エネルギー領域を高感度にするために CCD の X 線照射面と逆側に電極を設置する。これにより、表面不感層で X 線が光電吸収を起こすことを低減できる。一方、高エネルギー側の感度は空乏層厚によって決まるため、空乏層が厚く高い検出効率を実現できる P チャンネル CCD を新たに開発することで、20 keV を超える高エネルギー X 線に対しても 10 %以上の感度を持たせることができる。

SXI は ASTRO-H 搭載の検出器の中でもっとも撮像能力に優れており、なるべく広い面積をカバーすることが期待されている。そこで中型 CCD 素子を 4 枚、田の字状に敷きつめる方法が考えられている。

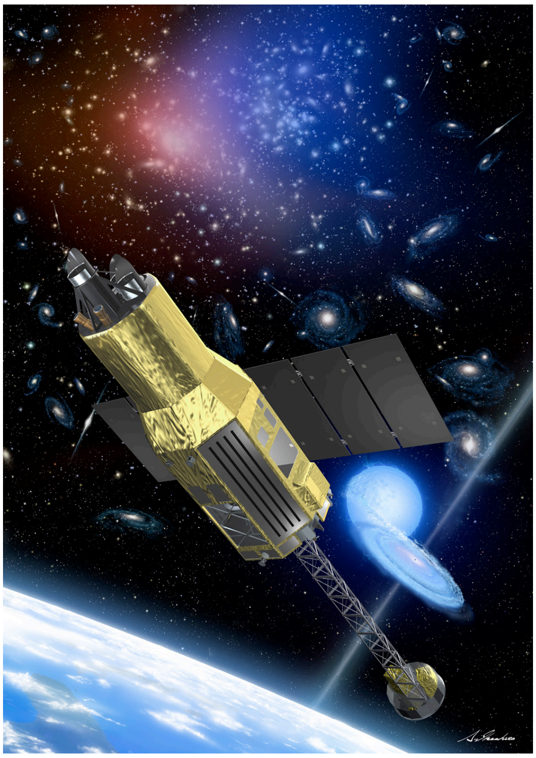


図 3.1: ASTRO-H 衛星の完成予想図 (©http://astro-h.isas.jaxa.jp)

3.2 CMOS 技術

3.2.1 CMOS 技術の背景

CMOS トランジスタは電力を消費するのがスイッチングの瞬間のみであるため、バイポーラトランジスタと比較し消費電力を低くできることや微細化しやすい構造であることが以前より注目され、まずデジタル LSI として広く普及していった。また、アナログ回路とデジタル回路を同一チップに集積したアナログ・デジタル混在 LSI を低コストで製造可能なことは CMOS 技術の大きな長所であったが、バイポーラトランジスタの回路と比べ動作速度が遅いことや雑音が大きいといった問題点があり用途は限られていた。しかし、近年の技術革新により CMOS の微細化は著しく進みこれによりアナログ性能も向上し続けた [14]。これらの背景を経て近年 CMOS 技術を利用したアナログ・デジタル混在 LSI の設計、製造が盛んに行われている。

3.2.2　CMOSトランジスタの原理

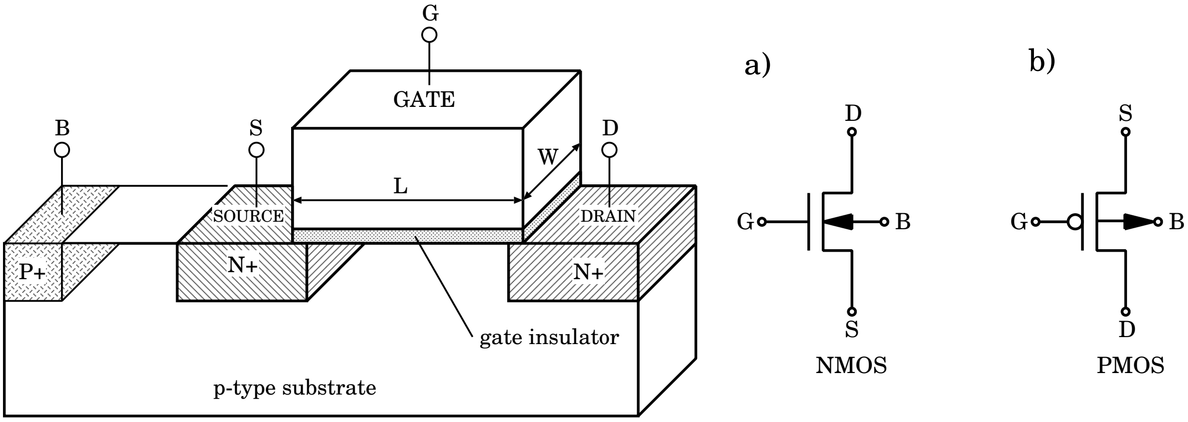


図 3.2: 左図は NMOS の構造図、a) は NMOS、b) は PMOS のシンボル。

p 型シリコン基板上に作った n チャネル MOSFET(Metal Oxide Semiconductor Field Effect Transistor) の構造を図3.2の左図に示す。以後、NMOS と呼称する。また、a)、b) は典型的な NMOS と p チャネル MOSFET（PMOS）のシンボルを示す。ここでは NMOS を例にとって MOSFET の構造と基本動作についての説明を行う。NMOS は p 型シリコン基板上に n 型不純物を打ち込んだドレイン (DRAIN)、ソース領域 (SOURCE) と基板上にシリコン酸化膜 (SiO_2) を堆積しその上に高濃度のポリシリコンでできたゲートの構造を持つ。トランジスタにはドレイン電圧 (D)、ゲート電圧 (G)、ソース電圧 (S)、バルク電圧 (B) の 4 つの電圧をかける。バルク電圧には通常は回路の中で最も低い電圧をかける。ゲートに正の電圧をかけるとゲート下の基板で空乏層が広がり酸化膜とシリコン界面の電位が上昇しだす。電圧を大きくしていくと界面電位が十分に高くなりキャリアの通り道であるチャネルが形成され、ドレイン・ソース間に電圧をかけるとドレイン電流 I_D が流れ始める。このときの状態を反転状態、ゲート電圧を閾値電圧 (V_{th}) と呼ぶ。さらにゲート電圧を大きくするとチャネルの電荷密度は上がりドレイン電流 I_D は大きくなる。また図3.2の NMOS の構造において、n 型と p 型を入れ換えると、基板が n 型でソースとドレイン領域が p 型の PMOS になる。この構造の素子では、ソース電極を接地してゲートとドレインの電位をソース電位以下にすると、ソース領域の正孔がシリコン/酸化膜界面のチャネルを通ってドレインに流れ込む。NMOS 同様、ゲート電圧でドレイン電流を制御する素子として機能する。ゲートとドレインに印加する電圧の極性が NMOS と逆になることから、PMOS と NMOS とは相補的な動作をする。この 2 種類の MOSFET を用いた集積回路を CMOS (Complementary-MOS) 集積回路と呼ぶ。

MOSFET の動作状態は大きく弱反転領域と強反転領域に分けられる。弱反転領域はゲート電圧 V_{GS} が閾値電圧 V_{th} より小さい場合、強反転領域は大きい場合である。弱反転領域ではチャネル領域にキャリアを十分に集めることができないためにドレイン電流 I_D はほぼ流れない。一方、強反転領域ではキャリアが誘起されドレイン電流は流れる。

さらに強反転領域は線形特性領域と飽和特性領域に分けられる。線形特性領域はドレイン電圧が小さい場合 ($V_{DS} < V_{GS} - V_{th}$)、飽和特性領域はドレイン電圧が大きい場合 ($V_{DS} > V_{GS} - V_{th}$) である。線形特性領域ではドレイン電流 I_D は

$$I_D = \frac{W}{L}\,\mu C_{ox}\left((V_{GS} - V_{th}) - \frac{1}{2}V_{DS}\right)V_{DS} \tag{3.1}$$

の式で表される。ここで μ はキャリアの移動度、W と L はトランジスタのサイズ (図 3.2 参照)、

C_{ox} はゲート酸化膜の単位面積のキャパシタンスである。一般的にトランジスタを線形領域で動作させることはあまりない。飽和特性領域ではドレイン電流 I_D は、

$$I_D = \frac{W}{2L}\mu C_{ox}\left(V_{GS}-V_{th}\right)^2\left(1+\lambda V_{DS}\right) \tag{3.2}$$

$$\approx \frac{\beta W}{2L}\left(V_{GS}-V_{th}\right)^2 \tag{3.3}$$

の式で表される。ここで λ はチャネル長変調計数である。これはドレイン電圧 V_{DS} の値により変化する実行的なチャネルの長さのドレイン電流 I_D への影響を考慮するための値である。飽和領域ではドレイン電流 I_D は (V_{GS}-Vth) の 2 乗に比例するため、ゲート電圧 V_{GS} の変化に敏感になる。一般的にトランジスタは飽和領域で動作するよう設計を行う [14][15]。式 3.3 は計算を簡単にするために簡略した式である。

3.3 ASIC 概要

我々はこれまでに SXI の CCD 信号処理システムのフロントエンドエレクトロニクスとして、X 線 CCD 信号処理用 ASIC を 4 つ製作した。以下では本 ASIC を SXI-ASIC と呼称する。SXI-ASIC は製作した順に、'MD01'、'MND01'、'MD02'、'MND02' という通称をつけており、本論文では、主に 'MND02' について述べる。4.2.2 では 'MD01' の過去の研究成果との対比を行う。

SXI-ASIC は X 線 CCD からのアナログ信号を、増幅、整形し、最後デジタル信号に変換して出力する回路ブロックを 4 チャンネル集積している。電源電圧はアナログ部、デジタル部ともに 3.3 V である。各チャンネルはプリアンプ、5-bit DAC (Digital to Analog Converter) 、そして 2 系統の $\Delta\Sigma$ ADC (Analog to Digital Converter) から構成している。製造は TSMC (Taiwan Semiconductor Manufacuturing Company) の 0.35 μm CMOS プロセスを用いた。3 mm 四方のベアチップを 15 mm 四方の QFP(Quad Flat Package) にパッケージングしている。ベアチップの写真と QFP にパッケージングしたチップの写真を図 3.3 に示す。また表 3.1 に SXI-ASIC の仕様をまとめる。

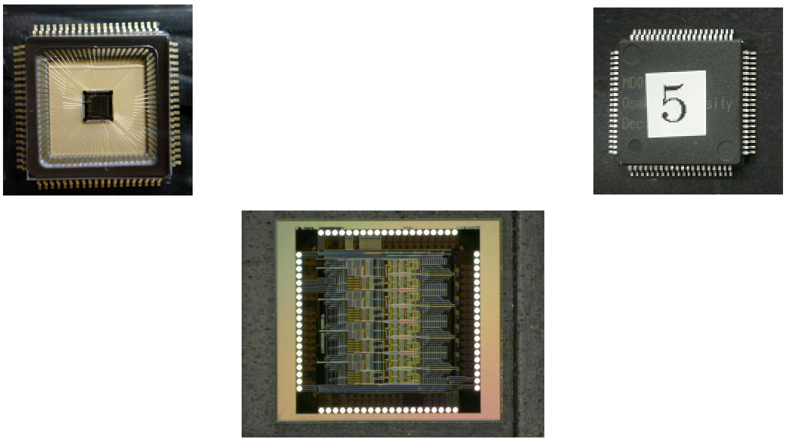


図 3.3: セラミック QFP パッケージしたチップ（左上)、プラスチック QFP パッケージしたチップ（右上)、ベアチップの写真（下）

表 3.1: SXI-ASIC 仕様

製造方法	TSMC 0.35 μm CMOS
ベアチップサイズ	3 mm × 3 mm
パッケージサイズ	15 mm × 15 mm
チャンネル数	4
電源電圧	3.3 V

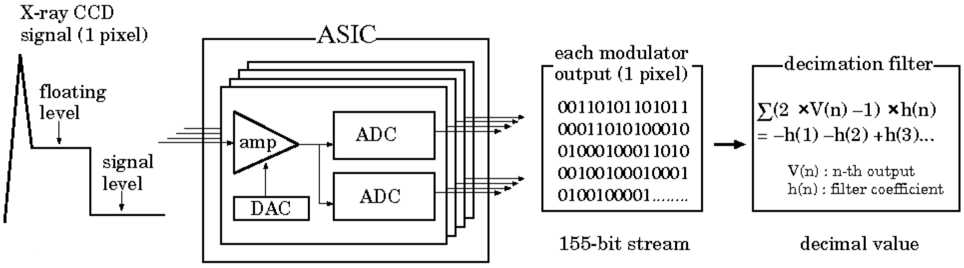


図 3.4: SXI-ASIC を用いた信号処理のダイアグラム

3.3.1 SXI-ASIC を用いた X 線 CCD の信号処理

図 3.4 に SXI-ASIC を用いた信号処理のダイアグラムを示す。ASIC に入力した X 線 CCD の信号はまずプリアンプで増幅される。プリアンプの増幅率は最大約 10 倍、最小 0.63 倍である。その際、ダイナミックレンジを有効に使うために、5-bit DAC により暗電流起源の余分な波高値を、シグナルレベルにオフセット電圧を与えることで打ち消す。5-bit DAC の与えるオフセット電圧は 32 段階で可変である。その後、増幅信号を $\Delta\Sigma$ ADC により 1 ピクセル当たりシリアル 155 ビットのデジタル信号に変換する。

図 3.5 に $\Delta\Sigma$ ADC の信号処理タイミングを示す。図 3.5 において CCD 信号下部の *Reset*、*Deint*、*Int*、*Post* は以下に説明するサンプリングフェーズを表しており、かっこの中の数字はサンプリング回数を表している。SXI-ASIC は 2 系統の $\Delta\Sigma$ ADC（even ADC と odd ADC）を備えており、CCD 信号を 1 画素ずつ交互に処理する。*Reset* の間に ADC のリセットを行い、*Deint* フェーズと *Int* フェーズではそれぞれ CCD 信号のフローティングレベルとシグナルレベルのサンプリングを行う。このとき、*Int* フェーズにおいてサンプル値の極性を反転させることにより、両レベルの電圧差を求める。*Post* フェーズでは AD 変換の精度を上げる処理を行っている。SXI-ASIC では、このように 2 系統の ADC を実装することで、読み出し速度を落とさずに高い精度の AD 変換を実現している。出力の 155-bit のデジタル信号は後段の DAQ システムによって復号化し、12-bit の波高値を得る。

3.3.2 デシメーションフィルタ

デシメーションフィルタは SXI-ASIC の $\Delta\Sigma$ ADC の 155-bit のデジタル信号を 12-bit の波高値に変換する機能である。図 3.6 にデシメーションフィルタの重みつけ係数をサンプル数の関数として表す。

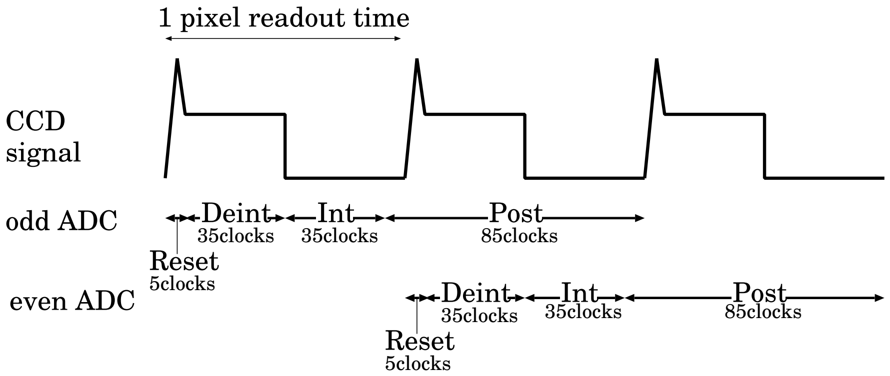


図 3.5: ΔΣ ADC による AD 変換のタイミング図

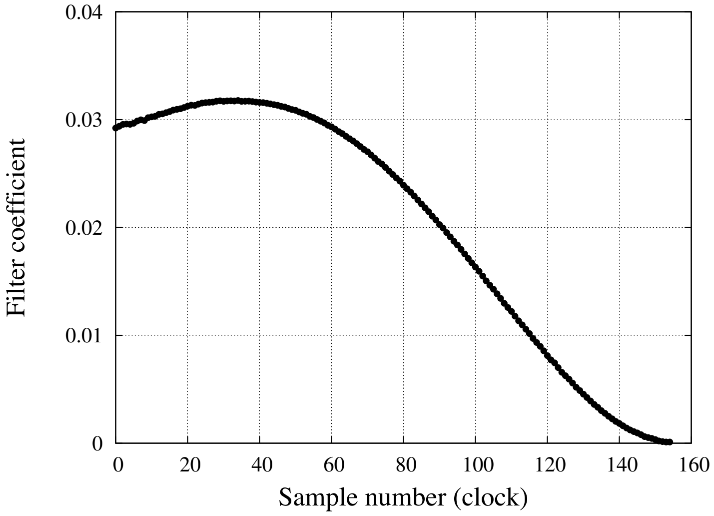


図 3.6: サンプル数の関数として表したデシメーションフィルタの重みつけ係数。

出力 bit 列を Y(n)、n = 1 ∼ 155 とすると、変換式

$$\sum_{n=1}^{155} Y(n) \times W(n) \qquad W(n) = \begin{cases} +1 \text{ if } Y(n) = 1 \\ -1 \text{ if } Y(n) = -1 \end{cases} \tag{3.4}$$

によって 12-bit の波高値を決定する。ここで $W(n)$ は変換の際の重みつけ係数である。デシメーションフィルタはローパスフィルタとしての効果を持つが、その周波数特性の設定によって $W(n)$ が決まる。ただし実際には mathematica を用いたシミュレーションにより、入力信号と AD 変換値の線形性が最適化されるように、つまり現象論的に W(n) を決定している [19]。

3.4 ASTRO-H の軌道上における衛星環境

ASTRO-H の衛星軌道は高度 550km、軌道傾斜角 30 度未満の低周回軌道 (Low Earth Orbit : LEO) が予定されている [24]。本節では ASTRO-H の軌道上での放射線被曝環境と、それから導かれる SXI-ASIC に必要な放射線耐性、また衛星内の温度環境について述べる。

3.4.1 放射線による半導体デバイスへの影響

Total Ionizing Dose(TID) 効果

Total Ionizing Dose (TID) 効果とは、半導体デバイスがさらされる放射線の総量に応じて、性能が劣化する現象である。低周回軌道における TID 効果の主要な原因は、人工衛星が南大西洋異常を通過する際に LSI を陽子や電子が貫通することである。TID 効果によるダメージの例を図 3.7 に示す。放射線が NMOS を貫通して電子正孔対を生成し、正孔がゲート酸化膜と基板の界面付近にトラップされることで、トランジスタの閾値電圧が変動する。TID 効果に対する耐性を評価するに当たって、入射した放射線のエネルギーが半導体デバイスにどれだけ吸収されたかを調べる必要がある。放射線がある物質に入射したとき、その物質の単位質量あたりに吸収されたエネルギーとして定義される物理量として吸収線量がある。

$$\text{吸収線量の単位} \quad 1 \text{ joule/kg} \equiv 1 \text{ Gy} = 100 \text{ rad} \tag{3.5}$$

図 3.8 に SHIELDOSE-2 モデル [25] を用いて、遮蔽用アルミ板の厚さの関数として、シリコンに対する吸収線量率を計算した結果を示す。黒色と緑色のラインはそれぞれ地球磁場に捕縛された電子と陽子による吸収線量率を表す。赤色のラインは荷電粒子の制動放射による放射線にコンプトン散乱されたデバイス中の電子による吸収線量率、青色のラインは以上の 3 つの吸収線量率を足しあわせたものである。遮蔽用アルミ板の厚さを 1 mm のとき、1 年当たりの吸収線量は約 1.1 krad である。典型的な人工衛星の運用期間は約 10 年であるので、2 倍のマージンを見込むと、SXI-ASIC には 22 krad 以上の放射線耐性が必要になる。

地上での半導体デバイスの TID 耐性の評価は、シミュレーションにより運用中に被曝する放射線総量を見積り、コバルト 60ガンマ線源やシンクロトロン加速器を用いて放射線を照射して行う。

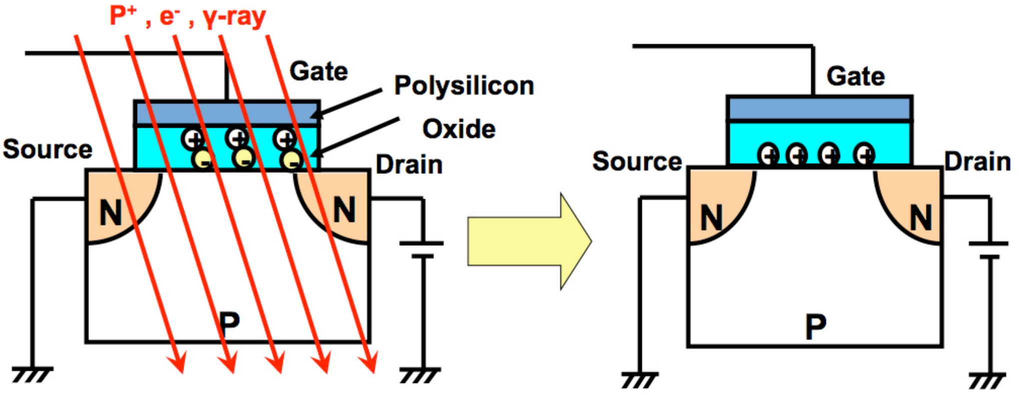


図 3.7: 放射線が NMOS に入射し、酸化膜に電子 · 正孔対をつくる（左)、酸化膜に正孔がトラップされ、閾値電圧が変化する。

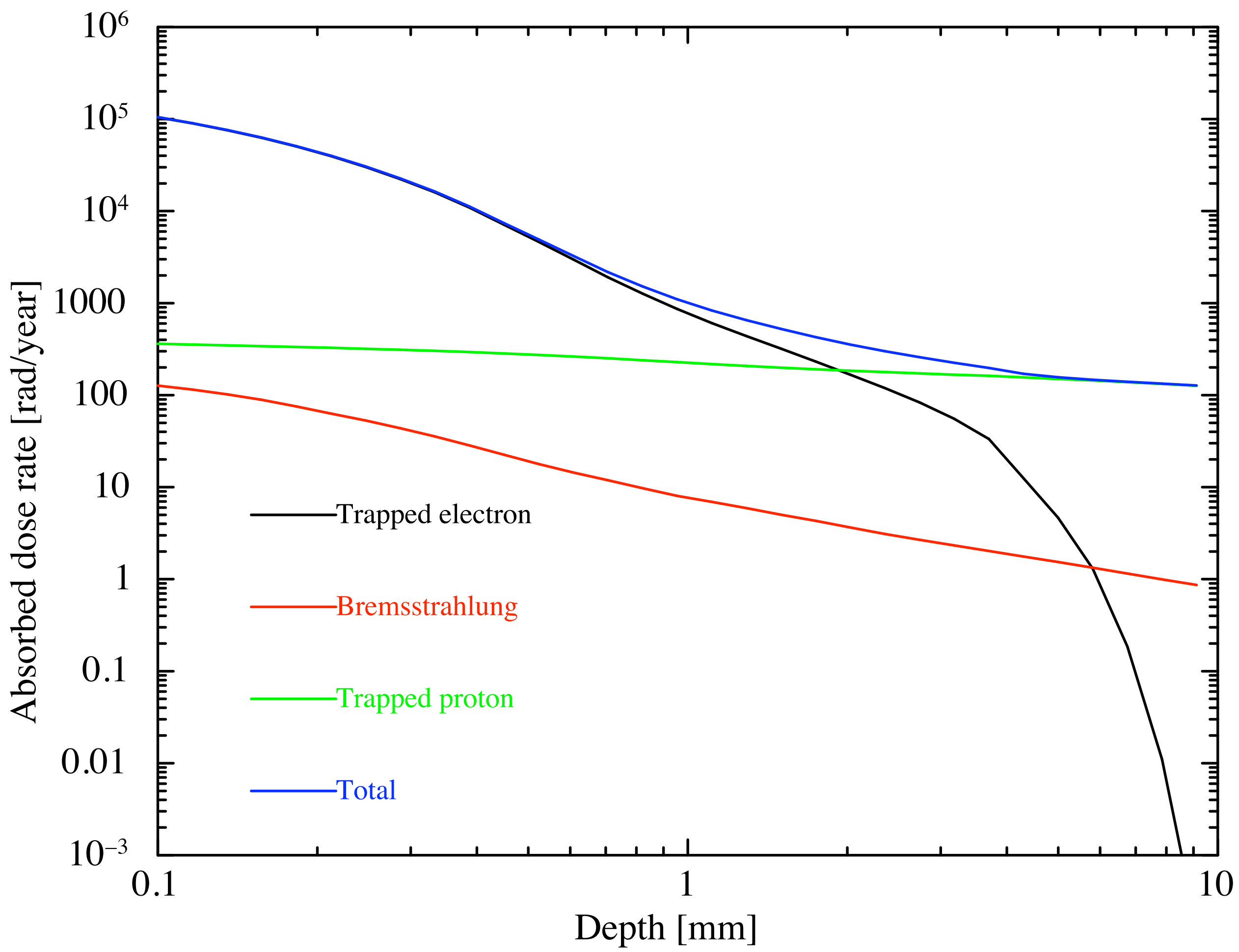


図 3.8: ASTRO-H の衛星軌道におけるシリコンに対する予想吸収線量率。黒色と緑色のラインはそれぞれ地球磁場に捕縛された電子と陽子による吸収線量率を表す。赤色のラインは制動放射による吸収線量率、青色のラインは以上の 3 つの吸収線量率を足しあわせたものである。

Sigle Event Effect(SEE)

Sigle Event Effect(SEE) とは、半導体デバイス内に単一の荷電粒子が入射した際、荷電粒子の落としたエネルギーがある閾値を超えた瞬間に起こる確率的現象であり、TID 効果とは独立したダメージである。SEE には主に SEU(Single Event Upset) と、SEL(Single Event Latchup) の 2 つがある。

SEU はメモリやフリップフロップなどの回路に重イオン粒子や陽子などの高いエネルギーを持った荷電粒子が当たり、データが反転してしまう一過性の故障である。簡単な SEU の例を図 3.9 に示すインバーターを用いて説明する。インバーターは入力を反転させて出力する回路である。図 3.9 に示すように、入力が 5 V のとき、出力は 0 V である。例えば PMOS のソース部分に荷電粒子が入射して電荷正孔対を大量に生成したとすると、その電荷正孔対がドレイン · ソース間の電場によってチャネルを形成し、ドレイン · ソース間が導通してしまう。これが入力が 5 V のときに起こると、本来ならば出力は 0 V であるが、ドレインとソース（GND）間が導通してしまっているので出力が一瞬だけ 5 V になる。これが回路の誤作動の原因になる。

バルク CMOS トランジスタを持つ LSI には、サイリスタと呼ばれる回路が寄生的に形成されている [17]。LSI 上に形成されているサイリスタ構造に高エネルギー粒子が当たってしまうと、サイリスタのスイッチが ON した状態になり、電源を切らない限り過剰な電流が流れ続ける現象が起きる。これを SEL と呼ぶ。過剰な電流が流れ続けた結果、熱により最終的に LSI が破壊するおそれがある。

入射荷電粒子が半導体デバイスに落としたエネルギーを表す物理量に、線エネルギー付与 (Linear Energy Transfer : LET) がある。LET とは、ある運動エネルギーを持つ荷電粒子が、物質中を進むときに単位長さ当たりに失うエネルギーをその物質の密度で割って得られる。よく用いられる単位は MeV·cm^2/mg である。実際に LSI に異なる LET の荷電粒子を照射すると、ある LET を超えたときに SEE の起こる散乱断面積が急に大きくなる。その LET の閾値が SEE 耐性の指標となる。そこで我々は SEE が起こる散乱断面積を求め、LET 閾値を調べる必要がある。SEE が起こる散乱断面積は LET の関数として表すと 図 3.10 のような Weibull curve を描くことが知られている [18]。Weibull curve は以下の式で表される。

$$\sigma_{\mathrm{SEE}}(L) \;=\; S_0 \cdot \left(1 - exp\left(-\frac{L - L_{\mathrm{th}}}{W}\right)\right) \tag{3.6}$$

ここで、$\sigma_{\mathrm{SEE}} \;=\; S_0$ は、飽和散乱断面積、L は LET、$\mathrm{L_{th}}$ は LET 閾値 ($\mathrm{L} > \mathrm{L_{th}}$)、W は curve width と呼ばれる定数を表す。

JAXA の耐環境設計基準が要求する SEE 耐性は、SEU が起こる散乱断面積の LET 閾値が 25 MeV·cm^2/mg 以上、SEL が起こる散乱断面積の LET 閾値が 75MeV·cm^2/mg 以上であれば、特別な対策は不要である。したがって、地上での放射線照射試験によって得られる実測の LET 閾値が、要求される LET 閾値を超えることが衛星運用中の要求 SEE 耐性を満たすことになる。

実際の地上での SEE 耐性の評価は、シンクロトロン加速器を用いて異なる LET を持つ荷電粒子を照射することで行う。

3.4.2 軌道上における衛星温度環境

ASTRO-H の衛星温度環境は主に日陰 · 日照によって、10 ℃から 30 ℃の間で変動すると予想されている。ASIC 内部の CMOS トランジスタの閾値電圧は温度依存性があるので、我々は衛星温度環境下（±10 ℃のマージン込みで 0 ℃ ∼40 ℃）で、SXI-ASIC の単体性能にどの程度温度依存性があるか調べる必要がある。

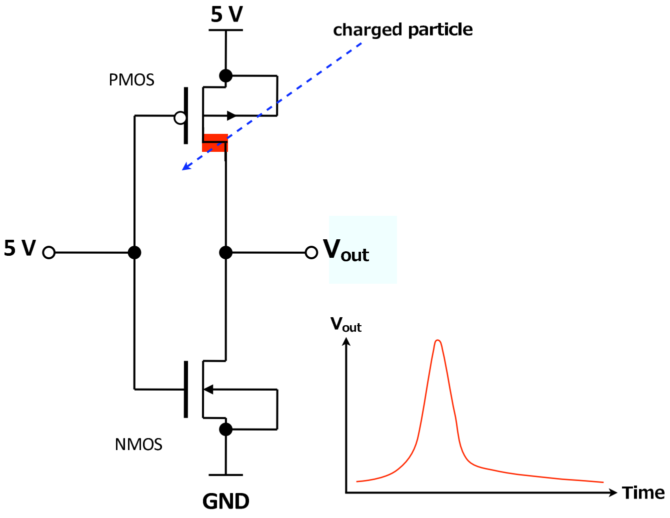


図 3.9: インバーターの PMOS に入射した荷電粒子により、ドレインとソースが導通している。

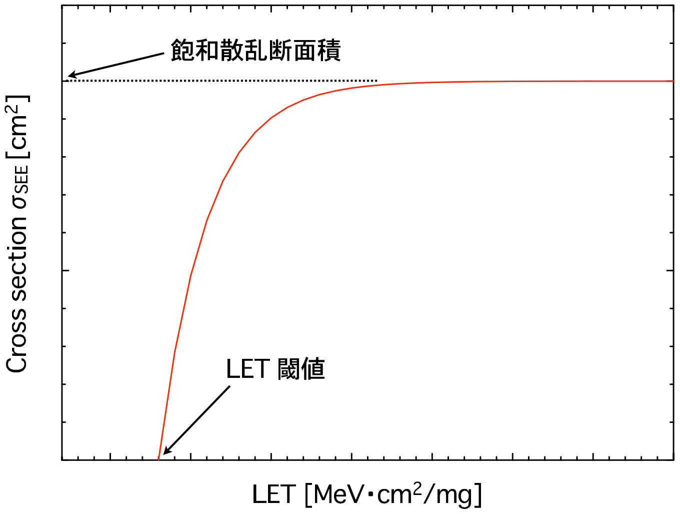


図 3.10: Weibull curve

第4章　SXI-ASICの性能評価

本章では、4.1 で ASIC 単体性能の評価試験の結果について報告した後、4.2 で放射線耐性の評価試験、4.3 で ASIC 単体性能の温度依存性の評価試験の結果について報告する。

4.1　ASIC 単体性能の評価試験

我々はまず SXI-ASIC の基本的な機能の確認と積分非線形性、入力等価雑音、消費電力といった ASIC 単体性能の評価を行うために、CCD の疑似信号を用いて ASIC 単体試験を行った。この試験は室温の実験室環境下で行った。

4.1.1　実験セットアップ

図 4.1 に単体試験用基板と、基板と後述する NI6703 と NI6534 とを接続する NI ケーブルの写真をしめす。また、図 4.2 に単体試験用基板の構成のブロック図を示す。単体試験用基板は主に、CCD シミュレーター、first-in first-out memory(FIFO)(1)、FIFO(2)、クロックドライバー、そして ASIC ホルダーから構成され基板上のこれらの回路は National Instrumemts 社製の NI6703 と NI6534 を用いて制御を行う。NI6703 と NI6534 は PCI バスを通して、コンピューターと通信を行うデバイスである。CCD シミュレーターはいくつかのアナログスイッチから構成され、NI6703 からアナログ信号とスイッチングパターン信号を供給され CCD 疑似信号を生成する。FIFO(1) は NI6534 から供給された ASIC のコントロール信号を ASIC に与える。クロックドライバーは 1.5625 MHz から 100 MHz のサンプリングクロックを出力する。ASIC の出力は FIFO(2) に書き込まれる。ASIC はデシメーションフィルタを持たないので、デシメーションプロセスはコンピューターによって行う。

実際の単体試験では、ある入力電圧（CCD 疑似信号のフローティングとシグナルレベルの電圧差）を持つ 819 ピクセル分の信号を 1 画素ずつ信号処理している。我々は入力電圧範囲を -18 mV から +16 mV まで 2 mV ずつ変化させ、計 18 回のサンプルを行った。プリアンプの増幅率は 10、5-bit DAC 値は 0 に設定した。5-bit DAC 値とは、CCD 信号のシグナルレベルにオフセット電圧を与えることによって余分な波高値を打ち消す働きをする 5-bit DAC の設定値を言う。5-bit DAC 値が 0 のとき、与えるオフセット電圧は 0 V で、DAC 値が大きくなると与えるオフセット電圧も大きくなる。表 4.1 に単体性能の評価試験におけるデータ取得条件をまとめた。

表 4.1: 単体性能の評価試験におけるデータ取得条件

読み出し速度 [kHz]	19.5, 39.1, 78.1, 156, 312, 625
5-bit DAC 値	0
プリアンプ増幅率	10
入力電圧範囲 [mV]	-18 ～ +16

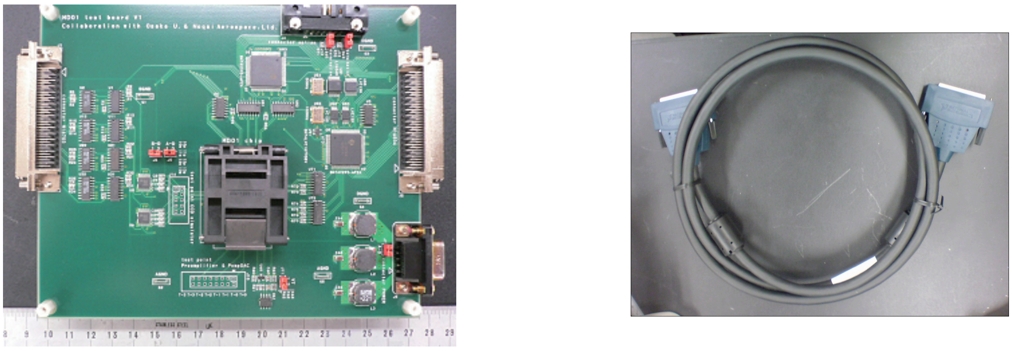


図 4.1: [左] 単体試験用基板、[右] NI ケーブルの写真。

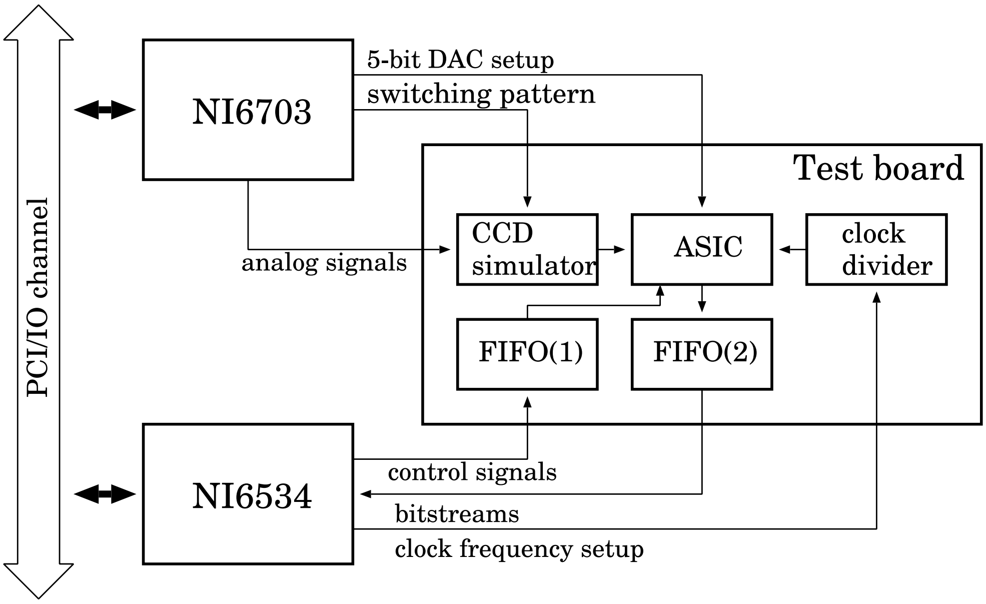


図 4.2: 単体試験のブロック図

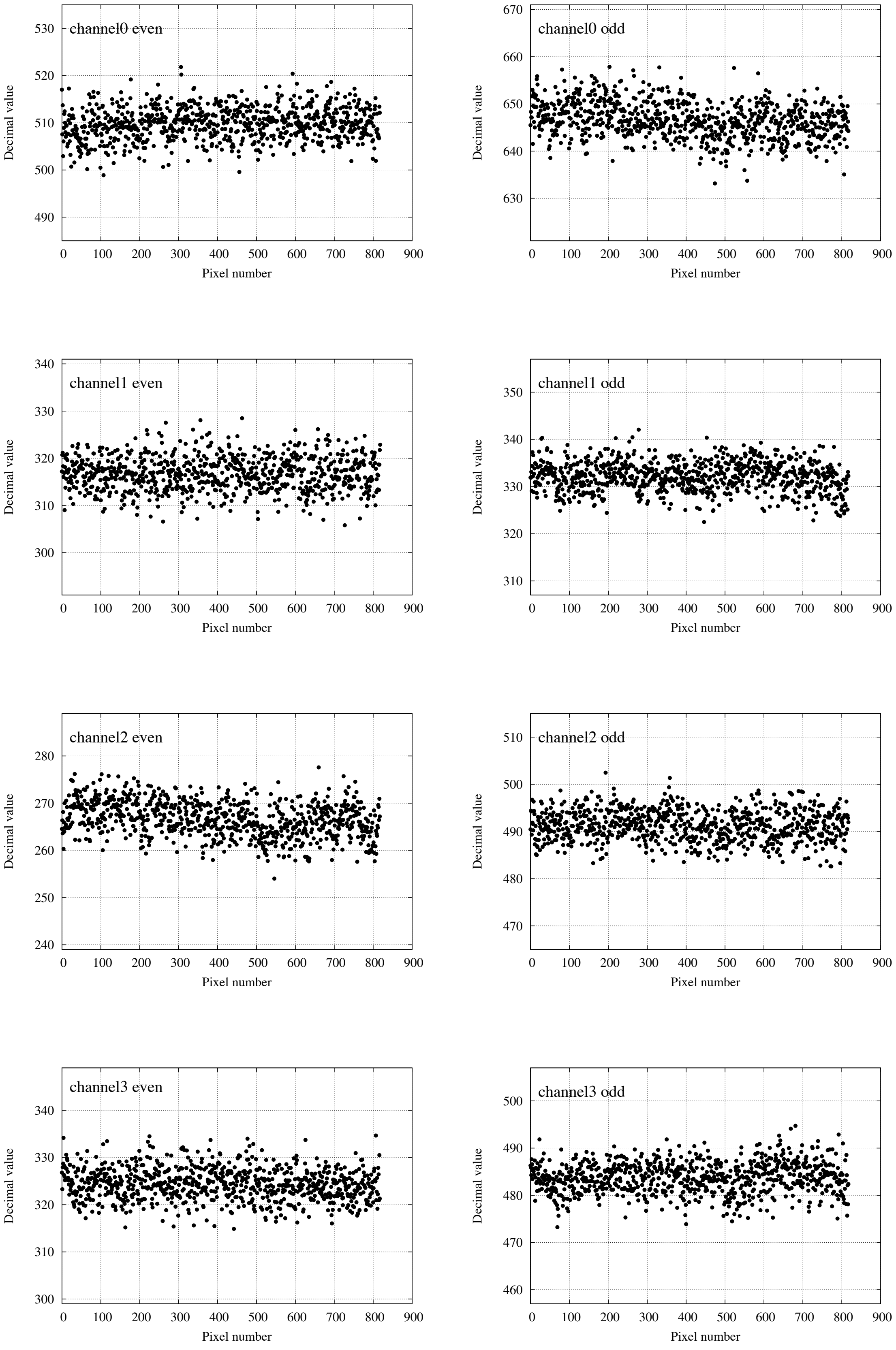


図 4.3: 819 ピクセル分の CCD 疑似信号を処理後、デシメーションした ASIC の出力のスキャッタープロット。

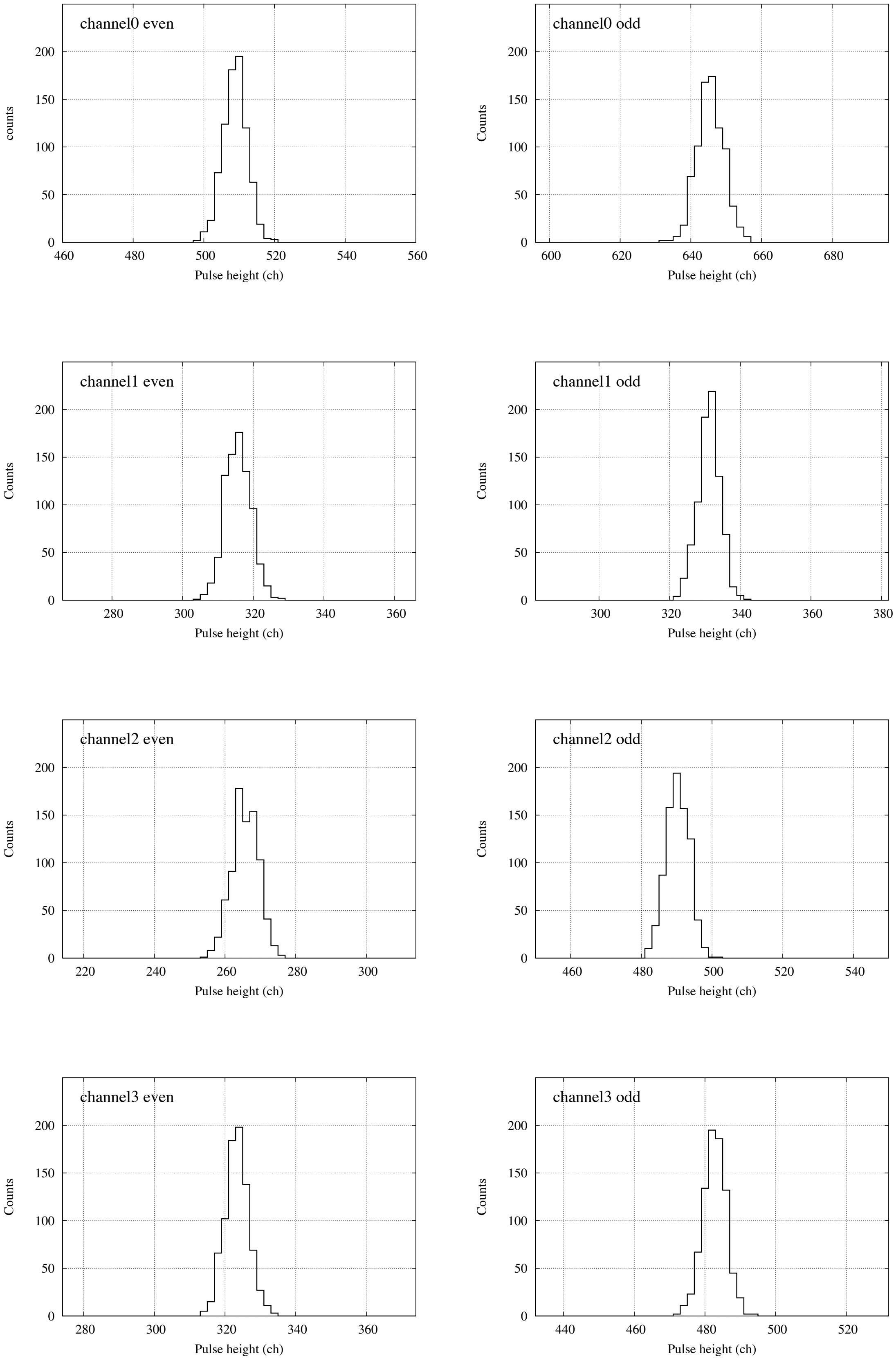


図 4.4: 前ページのスキャッタープロットを縦軸に射影して得られたヒストグラム。

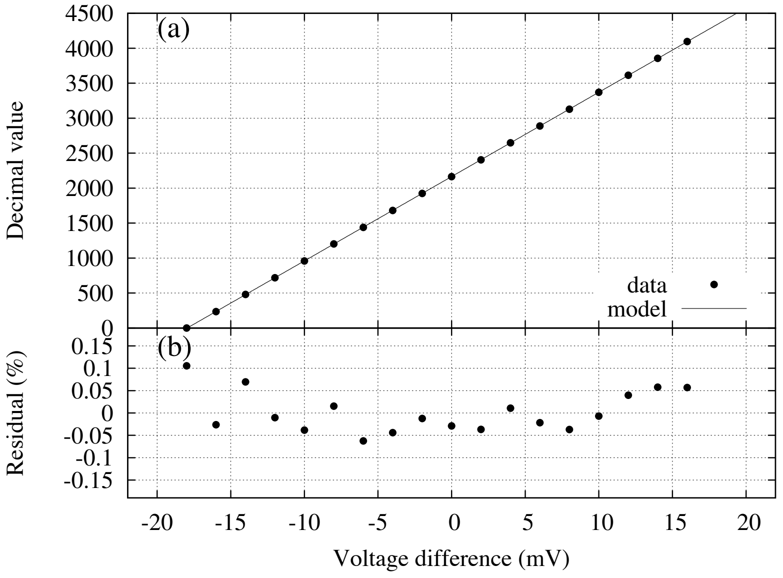


図 4.5: (a) 読み出し速度 78.1 kHz チャンネル 0 の even ADC の入力電圧に対する ADC 出力のグラフ。横軸は CCD 疑似信号の入力電圧。縦軸は 12 bit の波高値を表す。(b) データとモデルの 残差。INL は約 0.2 %である。

4.1.2 積分非線形性

積分非線形性 (Integral Non linearity : INL) とは、入力電圧に対する ADC 出力が、線形からどれだけ離れているかを表す ADC の重要な性能指標である。読み出し速度 78.1 kHz において入力電圧 2 mV の CCD 疑似信号を信号処理した結果を図 4.3 に示す。ASIC は 2 つの ΔΣ ADC (EVEN ADC と ODD ADC) を備えた信号処理回路ブロックを 4 チャンネル集積しているので合計 8 つの ADC 出力のプロットが得られる。また、図 4.4 はスキャッタープロットを縦軸方向に射影して得られたヒストグラムである。

入力電圧を -18 mV から+16 mV の間で 18 通り変化させ、ヒストグラムのガウス中心を入力電圧に対してプロットすると入力電圧と ADC 出力の線形関係を表すグラフが得られる。図 4.5 にチャンネル 0 の even ADC の入力電圧に対する ADC 出力のグラフを示す。INL は得られたデータを直線モデルでフィッティングを行い、データとモデル直線の残差の最大値の 2 倍を、ADC の出力レンジで割ることによって求める。これを式 4.1 に示す。入力電圧 -18 mV から+16 mV の範囲で読み出し速度 78.1 kHz において INL は約 0.2 % である。これは現在軌道上で運用中のすざく/XIS のシステムと遜色ない値である [33]。また、図 4.6 に読み出し速度の関数としての INL を示す。読み出し速度 156 kHz まですべての ΔΣ ADC において INL は 0.1∼0.3 %の範囲に収まっている。

$$\mathrm{INL}\ (\%) = \frac{2\,(\text{残差の最大値})}{\mathrm{ADC}\,\text{の出力レンジ}} \times 100 \tag{4.1}$$

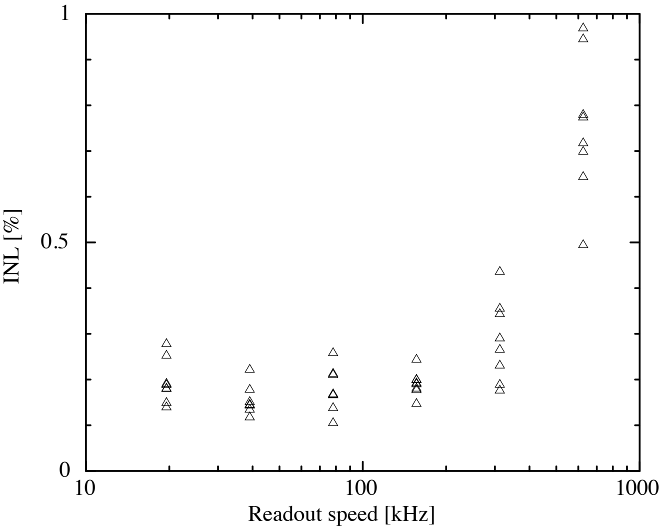


図 4.6: 各 ΔΣ ADC ごとの読み出し速度の関数としての INL。読み出し速度 156 kHz まですべての ΔΣ ADC において INL は 0.1∼0.3 %の範囲に収まっている。

4.1.3 雑音性能

図 4.4 のヒストグラムをガウス関数でフィッティングして得られた標準偏差と、図 4.5 から求められるゲイン [ch/mV] の積として入力等価雑音を得る。図 4.7 に読み出し速度ごとに求めた各 ADC ごとの入力等価雑音を示す。読み出し速度 78.1 kHz[1]において、各 ΔΣ ADC の入力等価雑音は 28.5 ∼ 31.4 μV の範囲に分布している。また、8 つの ΔΣ ADC の平均としてのチップ当たりの入力等価雑音は 29.8 ± 0.1 μV である。

CCD の読み出し試験において、等価雑音電荷は CCD の変換係数に依存する。

$$\text{等価雑音電荷}\ [\mathrm{e}^-] = \frac{\text{入力等価雑音}\ [\mu\mathrm{V}]}{\text{変換係数}\ [\mu\mathrm{V/e}^-]} \tag{4.2}$$

SXI 搭載を目指して開発を進めている Pch-2k4k CCD の電荷電圧変換係数 5.5 μ V/e$^-$ を用いて計算すると、電子数換算で約 5.4 個である。

4.1.4 消費電力

図 4.8 に各読み出し速度ごとの ASIC 1 チップ当たりの消費電力を示す。読み出し速度 156 kHz における消費電力は約 168 mW である。消費電力は、単体試験用基板に ASIC をマウントさせた状態と、させていない状態それぞれで、実際に信号処理を行う信号を ASIC とその他の基板上の IC に与えた際のトランジスタ電源が表示する電流値の差と電源電圧 3.3 V の積として求めている。8 つの ASIC 出力信号は標準的な LVDS 規格で伝送しており、信号電流は 3.5 mA、終端抵抗は 100 Ω である。終端抵抗は ASIC 外部にあるので 168 mW のうち、3.5 mA × 3.3 V × 8 = 92.4 mW は ASIC 外部の発熱である。

[1]SXI で予定されている読み出し速度は 68kHz である。

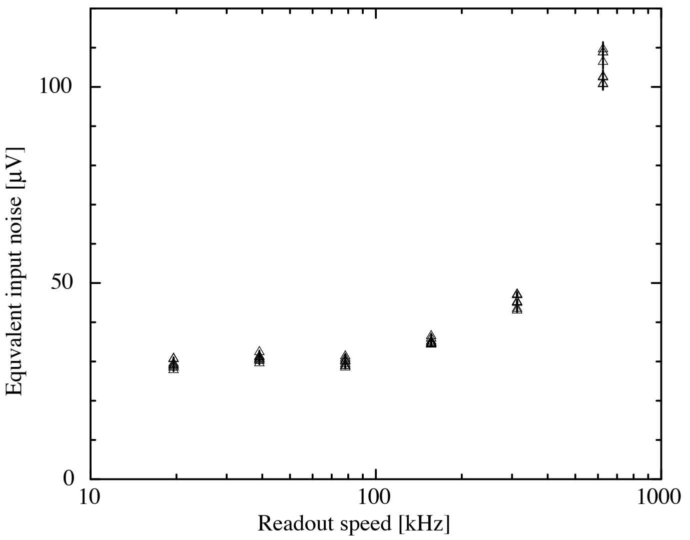


図 4.7: 各 ΔΣADC ごとの読み出し速度の関数としての入力等価雑音。各 ΔΣ ADC の入力等価雑音は $28.5 \pm 0.3 \sim 31.4 \pm 0.3$ μV の範囲に分布している。

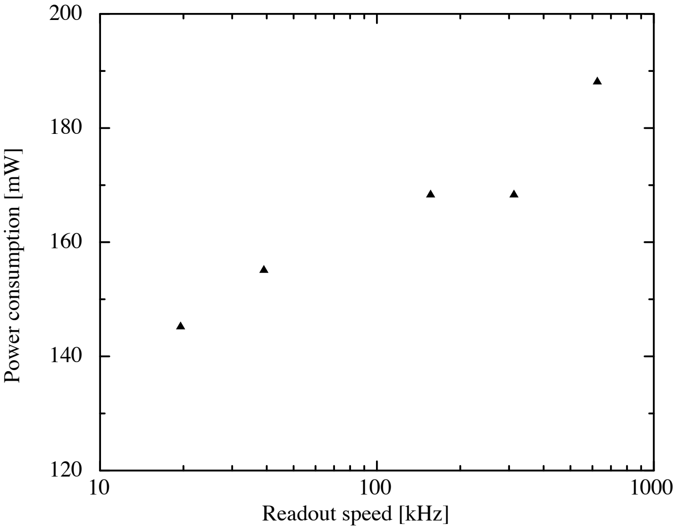


図 4.8: 読み出し速度の関数としての ASIC1 チップあたりの消費電力

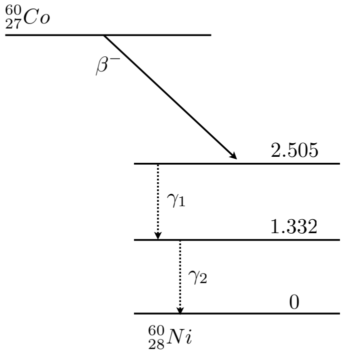


図 4.9: コバルト 60 の崩壊図式。γ_1:1.173 MeV、γ_2:1.332 MeV

4.2 放射線耐性の評価試験

4.2.1 コバルト 60 ガンマ線照射試験

我々は 2009 年 6 月 1 日と 2 日の二日間、大阪府立大学先端科学イノベーションセンターのコバルト 60 ガンマ線照射施設において、SXI-ASIC の TID 効果に対する耐性の評価試験を行った。施設には 4 つのコバルト 60 ガンマ線照射室があり、我々は線源の位置、線量共に精度の高い第 2 照射室で実験を行った。表 4.2 に第 2 照射室の諸元をまとめる。

表 4.2: 第 2 照射室諸元

照射強度 [TBq]	279
照射室の大きさ	4 m × 4 m × 3.1 m
照射線量率 [rad/hr]	0.1 ∼ 50

コバルト 60 は半減期が 5.3 年であり比較的長いことから、医療分野での放射線治療、ガンマ線滅菌、食品分野での食品照射（じゃがいもの発芽抑制）などで幅広く利用されている便利なガンマ線源である。図 4.9 にコバルト 60 の崩壊図式を示す。コバルト 60 はベータ崩壊後、2 段階の遷移を経てニッケル 60 になる。図 4.9 にあるようにコバルト 60 は 1.173 MeV と 1.332 MeV の 2 本のガンマ線を放射する。

試験は阪大で ASIC 単体試験を行うセットアップ一式をガンマ線照射施設に持ち込んで行った。図 4.10 に試験を行った照射室の見取図を示す。線源は見取図左上にある 680 mm 径の円で示されているアルミ製の円形照射台の地下に置かれており、あらかじめ室内にセットした試料に対して、線源を室外からワイヤーで引き上げて照射を行う。図 4.11 に照射室内の様子を示す。またコバルト 60 ガンマ線源は 10 mm 径の円柱状で線源長さは 30 cm である。図 4.12 に試験に用いた線源を示す。

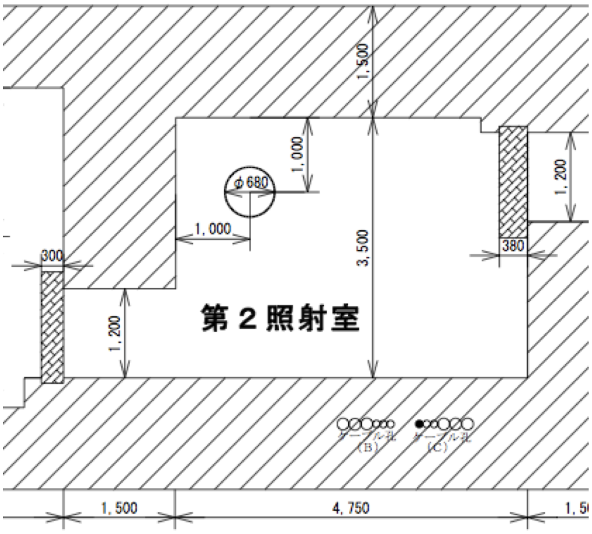


図 4.10: 照射室の見取図。距離の単位は mm。照射室から 30mm 孔と 50mm 孔の貫通孔がそれぞれ 5 個と 6 個、照射室外にスパイラル状に伸びており照射室内の計算機等のケーブルを照射室外に出すことができる。照射室内と照射室外のケーブル孔の貫通距離は 2300~3000mm である。

図 4.11: 照射室の様子。アルミ製の円形照射台は分割することができ、線源と試料との距離を自由に変えることができる。

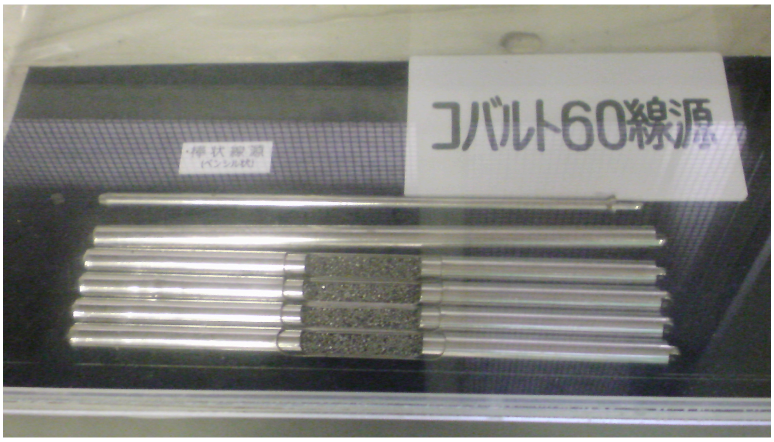


図 4.12: コバルト 60 柱状線源

実験セットアップ

図 4.13 に施設の方に頂いた 2009 年 6 月時点での第 2 照射室の線量分布図を示す。横軸は線源からの距離、縦軸は水に対する吸収線量率を表す。シリコンに対する吸収線量率に直すには水とシリコンの質量エネルギー吸収係数の比として 0.9 をかける必要がある。我々は、2008 年に千葉の放射線医学総合研究所の重粒子がん治療装置 (Heavy Ion Medical Accelerator in Chiba : HIMAC) を用いて 200 MeV/amu のプロトンを、SXI-ASIC の 1 番目に製作したチップ（通称：MD01）に照射して放射線耐性の評価を行っている [28][20]。その際、約 16 krad 照射後に著しい性能劣化が見られたことから、本実験では 1 日目にまず 20 krad を照射し、特に性能劣化が見られなければ 2 日目に 200 krad のガンマ線の照射を行うという計画を立てた。これは、一般的に SXI-ASIC に用いられている 0.35 μm CMOS プロセスで製造されている LSI は、通常数百 krad の放射線耐性を持つことによる。

図 4.13 にあるように、1 日目は 6 時間の照射で 20 krad 当たるように線源と ASIC の距離を 144 cm、2 日目は 7 時間の照射で 200 krad 当たるように線源と ASIC の距離を 45.3 cm にした。1 日目のセットアップの模式図を図 4.15 に示す。まず、基板上の ASIC が線源から 144 cm 離れた位置にセットできるように台の位置を調節した。基板の位置を決定すると、基板上の ASIC 以外の IC その他部品をガンマ線から保護するために鉛ブロックで遮蔽した。15 cm 厚の鉛ブロックは 1.25 MeV のガンマ線の強度を約 4.5×10^{-5} まで減衰する。図 4.16 に示すように鉛ブロックの穴から線源が全て見込めるセットアップであることを確認した。2 日目のセットアップでは線源と ASIC の距離を 45.3 cm に近づけた。鉛ブロックの穴から線源が全て見込めるように、ASIC の上下方向の鉛ブロックの厚さを 2.5 cm にした。その他の鉛ブロックの厚さは 12.5 cm である（図 4.18）。2.5 cm 厚と 12.5 cm 厚の鉛ブロックの 1.25 MeV のガンマ線の強度減衰率はそれぞれ 0.19 と 2.4×10^{-4} である。また、実験室は常温 ($\sim$25 ℃) であった。

本試験では複数のチップに同時にガンマ線を照射するため、図 4.14 に示すような基板を製作した。中央下のソケットにマウントしたチップにのみ信号処理を行い、基板上部の 6 つのソケットにマウントしたチップは電源電圧とコントロール信号を与えるのみで信号処理は行わない仕様になっている。

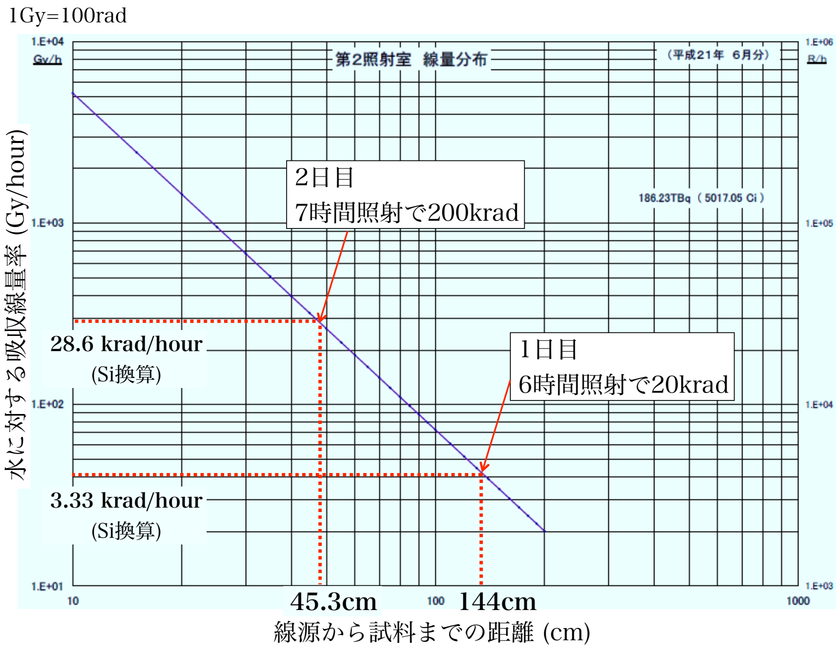


図 4.13: コバルト 60 の水に対する吸収線量率。Si に対する吸収線量率に直すには質量エネルギー吸収係数の比として 0.9 をかける必要がある。

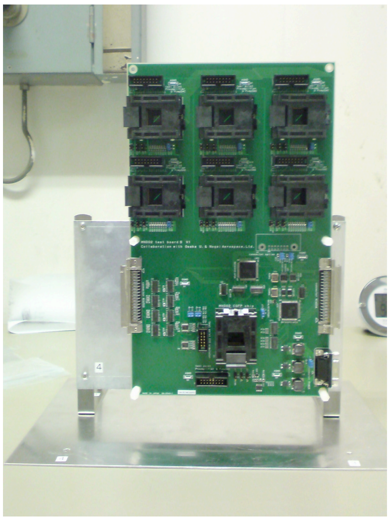


図 4.14: 複数チップをマウントできる単体試験用基板を縦置きジグによって固定している。信号処理は中央下のソケットにマウントしたチップのみに行い、上部 6 つのソケットにマウントしたチップには信号処理は行わず、電源電圧とコントロール信号を与えるのみ。

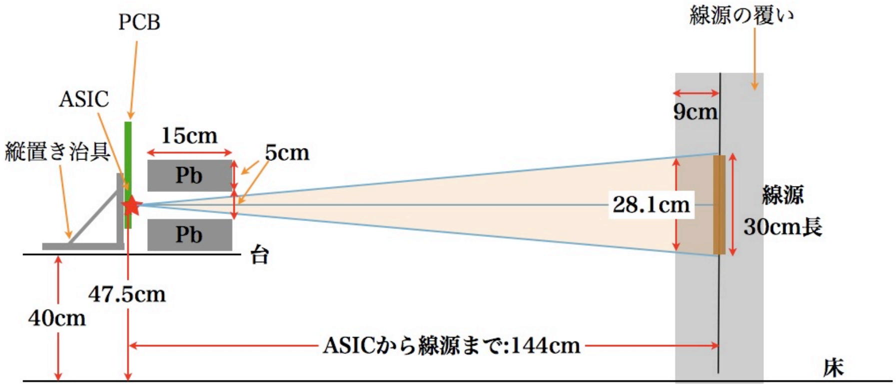
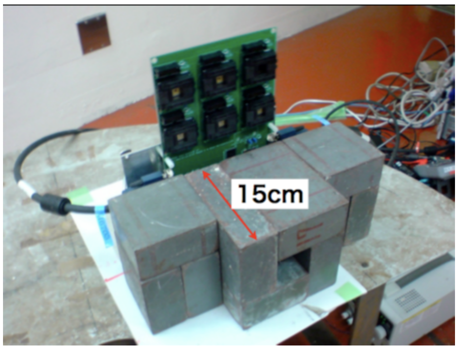


図 4.15: セットアップ図 (1 日目)



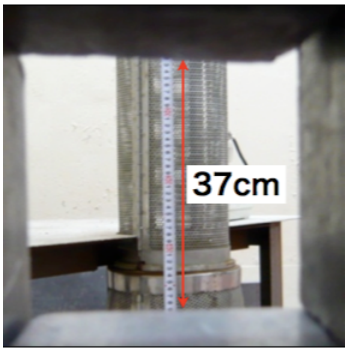


図 4.16: [左] 照射台上に基板と鉛ブロックをセットアップした様子、[右] ASIC から線源方向に鉛ブロックの穴をのぞいて見た写真。縦方向に定規が 37 cm 分見えている。図 4.15 より、縦方向に 28.1 cm 見えていれば線源を見込めるので、本セットアップは線源を十分見込めるセットアップになっている。

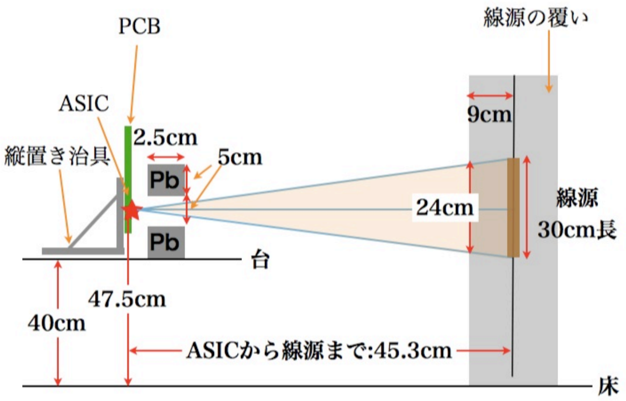


図 4.17: セットアップ図 (2 日目)

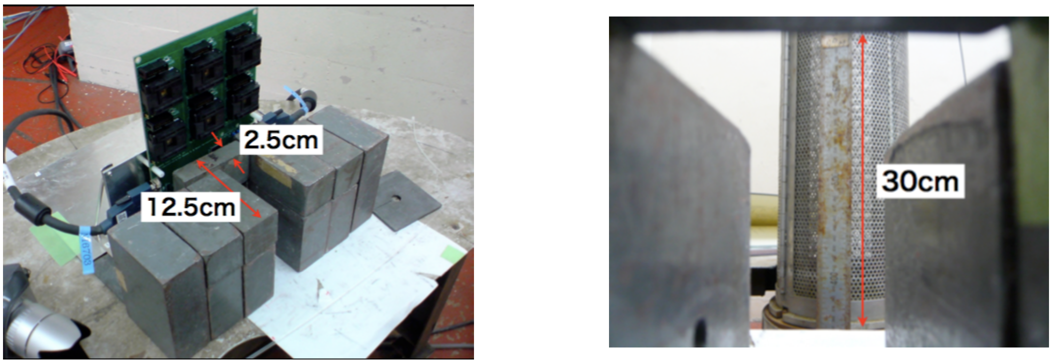


図 4.18: [左] 照射台上に基板と鉛ブロックをセットアップした様子。ASIC の上下方向の遮蔽用鉛ブロックは、線源を十分見込むために 2.5 cm 厚にした。その他の鉛ブロックの厚さは 12.5 cm である。[右] ASIC から線源方向に鉛ブロックの穴をのぞいて見た写真。縦方向に定規が 30 cm 分見えている。図 4.17 より、縦方向に 24 cm 見えていれば線源を見込めるので、本セットアップは線源を十分見込めるセットアップになっている。(右)

試験結果

我々は 6 チップ同時に試験を行い、そのうち 1 チップは照射中に信号処理を行った。読み出し速度は 78.1 kHz、プリアンプの増幅率は 10 に固定した。5-bit DAC 値は 0 と 3 の 2 通りでデータを取得した。また入力電圧範囲は、5-bit DAC 値が 0 のとき -10 mV ～ +18 mV 、5-bit DAC 値が 3 のとき-14 mV ～ +14 mV である。表 4.3 にデータ取得条件をまとめる。残り 5 チップは照射前後に信号処理を行い、照射中は電源電圧とコントロール信号を与えるのみで信号処理は行わなかった。

表 4.3: コバルト 60 ガンマ線照射試験のデータ取得条件

読み出し速度 [kHz]	78.1
プリアンプ増幅率	10
5-bit DAC 値	0 , 3
入力電圧範囲 [mV]	-10 ～ +18 (5-bit DAC 値 0)
	-14 ～ +14 (5-bit DAC 値 3)

- 1 日目：20krad 照射

  1 日目に 3.33 krad/hr のガンマ線を 6 時間かけて合計 20 krad 照射した。ゲイン [ch/mV]、入力等価雑音、INL、スキャッタープロットの分布をガウス関数でフィッティングして得られた標準偏差の 4 つの各単体性能のパラメータの吸収線量依存性を調べた。図 4.19 にゲイン [ch/mV]、図 4.20 にスキャッタープロットの標準偏差、図 4.21 に入力等価雑音、図 4.22 に INL の吸収線量依存性を示す（いずれも 5-bit DAC 値は 0）。また、図 4.23 に 5-bit DAC 値 3 における各単体性能の吸収線量依存性をまとめて示す。左上がゲイン [ch/mV]、右上がスキャッタープロットの標準偏差、左下が入力等価雑音、右下が INL である。試験結果としては 5-bit DAC 値が 0、3 両方の場合において、単体性能に有意な性能変化は見られなかった。

表 4.4: 図 4.19～図 4.25 の各 ADC 出力の結果とグラフ中のプロットマークの対応表

□ channel 0 even	+ channel 1 even	× channel 2 even	○ channel 3 even
∗ channel 0 odd	□ channel 1 odd	△ channel 2 odd	◇ channel 3 odd

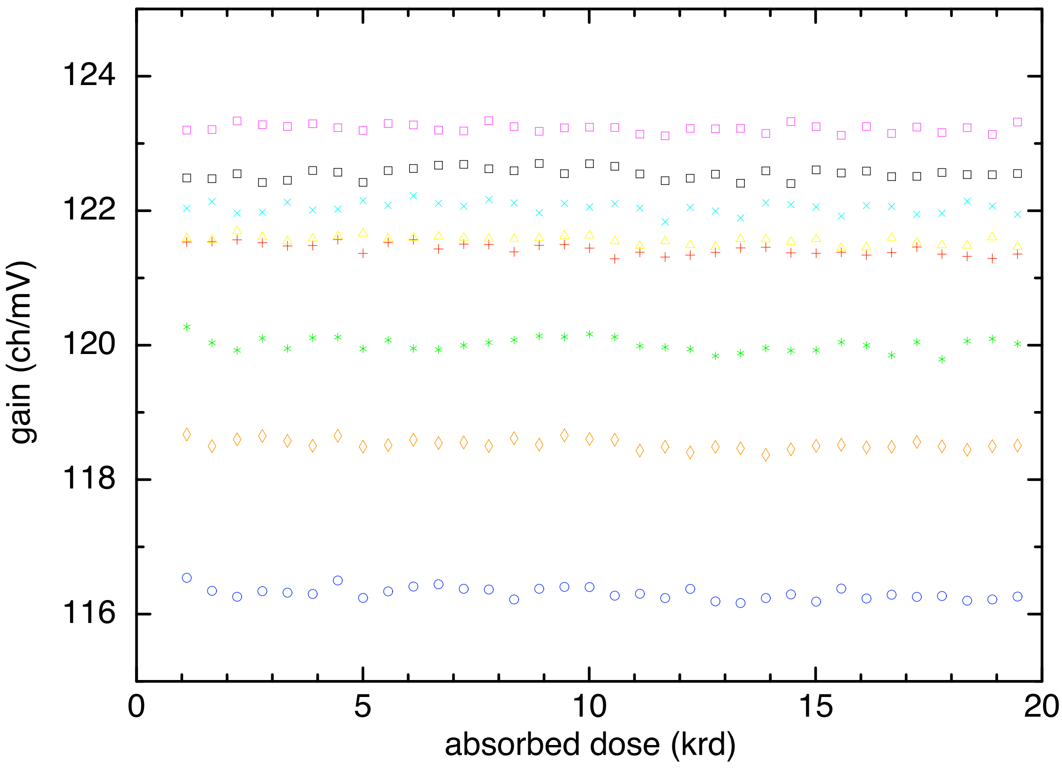


図 4.19: 5-bit DAC 値 0 における積分非線形性の吸収線量依存性。有意な変化は見られなかった。

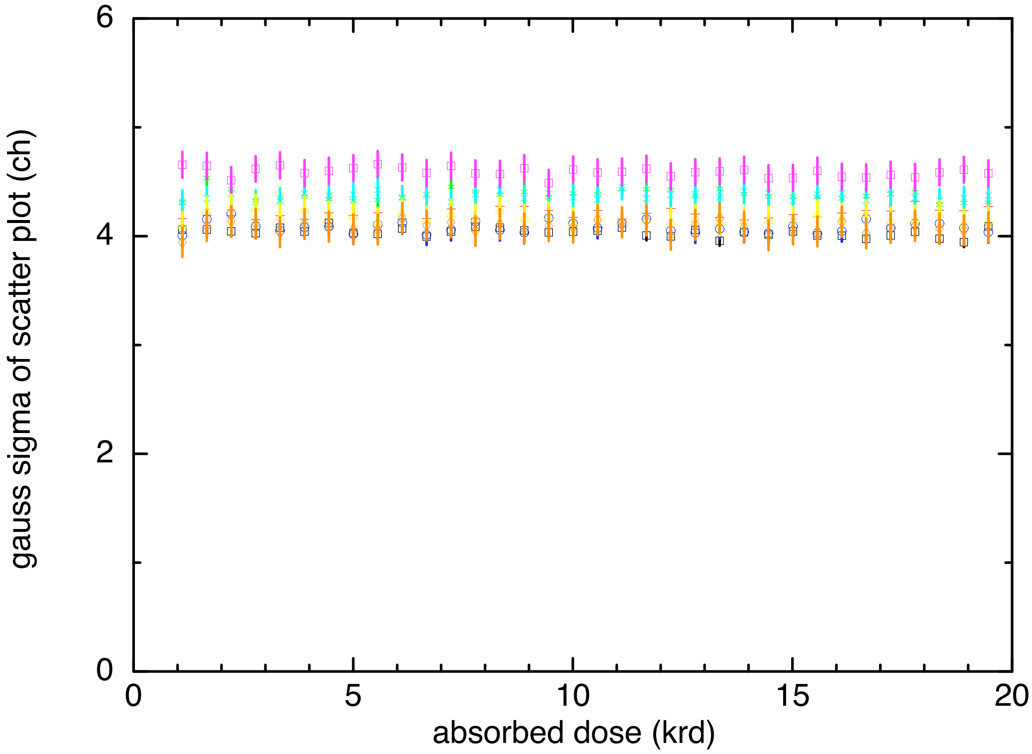


図 4.20: 5-bit DAC 値 0 におけるスキャッタープロットの標準偏差の吸収線量依存性。有意な変化は見られなかった。

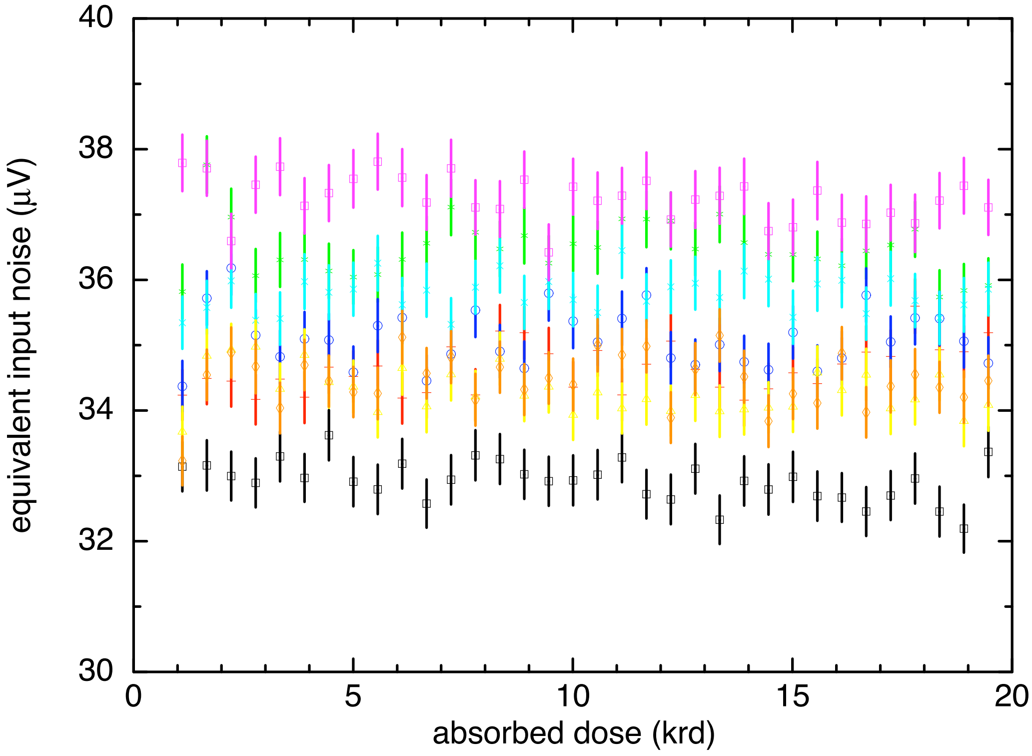


図 4.21: 5-bit DAC 値 0 における入力等価雑音 の吸収線量依存性。有意な変化は見られなかった。

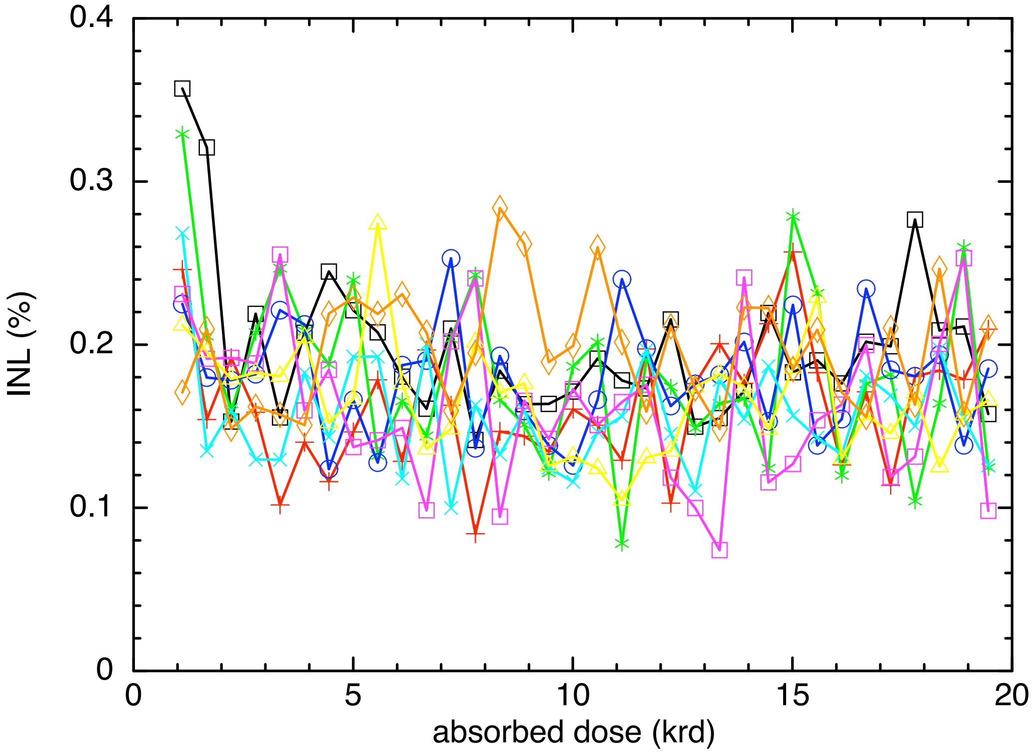


図 4.22: 5-bit DAC 値 0 における積分非線形性の吸収線量依存性。有意な変化は見られなかった。

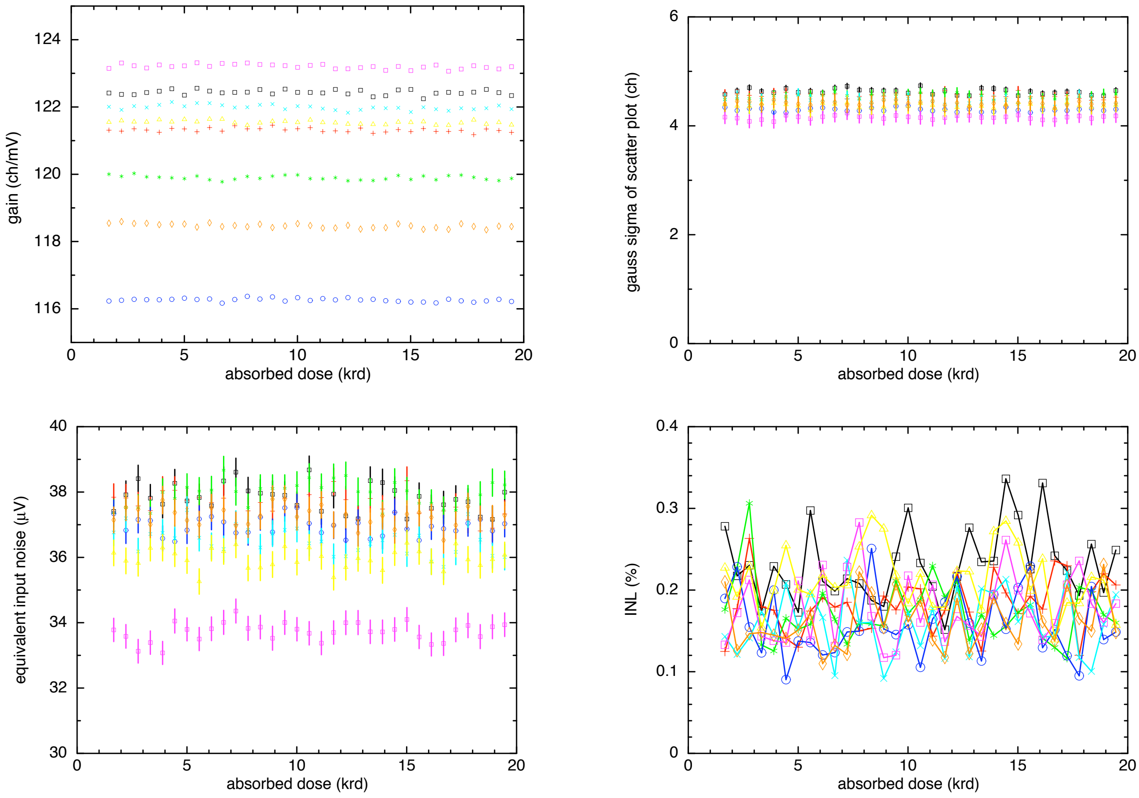


図 4.23: 5-bit DAC 値 3 における各単体性能パラメーターの吸収線量依存性。有意な変化は見られなかった。

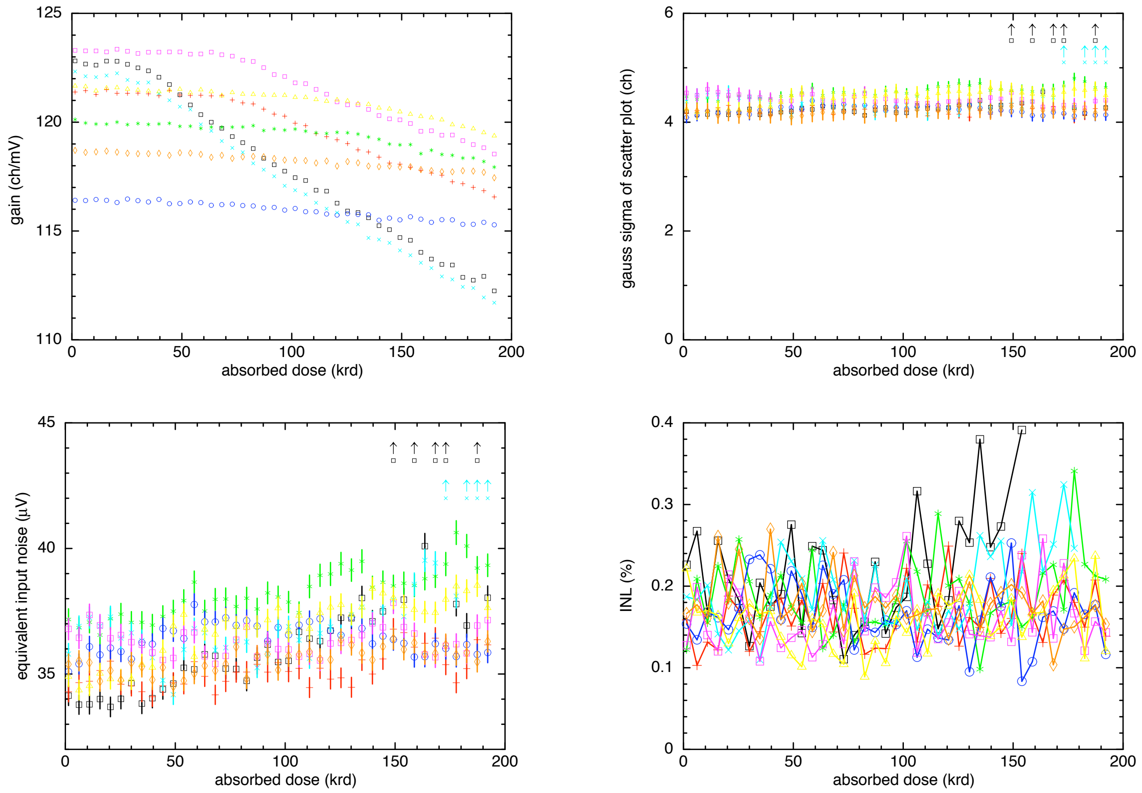


図 4.24: 5-bit DAC 値 0 における各単体性能パラメーターの吸収線量依存性。

- 2 日目：200 krad 照射

20 krad 照射して有意な性能劣化は見られなかったので、我々は同じチップに続けて 200 krad の照射を行い、ゲイン [ch/mV]、入力等価雑音、INL、スキャッタープロットの標準偏差の各単体性能のパラメータの吸収線量依存性を調べた。ここで示すグラフの吸収線量（横軸）には、1 日目の吸収線量 (20 krad) を含んでいない。図 4.24 と図 4.25 にそれぞれ 5-bit DAC 値が 0 と 3 における単体性能のパラメータをまとめて示している。

図 4.24 の 5-bit DAC 値が 0 における結果を見ると、ゲイン (ch/mV) は 30 krad を超えたあたりから、いくつかの ADC 出力に減少が見られる。また even と odd の ADC で同様の傾向がある。例えば □ channel 0 even と $*$ channel 0 odd は両者共に 30 krad を超えて減少が始まっている。スキャッタープロットの標準偏差の結果では、スキャッタープロットがガウス分布をとらなくなったことにより、□ channel 0 even と $*$ channel 0 odd のデータが縦軸の範囲を大幅に超えてしまった。これらのプロットは上向き矢印で表している。入力等価雑音は 200 krad 照射中に、全体的に 5 ～ 6 % (約 36 μV → 約 38 μV) 増加している。また INL については、channel 0 odd の 180 krad 以上のデータは縦軸の範囲を大幅に超えてしまっていることがわかる。これも、スキャッタープロットがガウス分布をとらなくなったことによる。他のデータは 200krad まで 0.4%以下である。

図 4.25 の 5-bit DAC 値が 3 における結果は、各単体性能パラメータとも、5-bit DAC 値が 0 における結果とほぼ同様の傾向を示している。スキャッタープロットの標準偏差と入力等価雑音の結果については、スキャッタープロットの分布がガウス分布をとらなくなったためにエラーが非常に大きくなった。

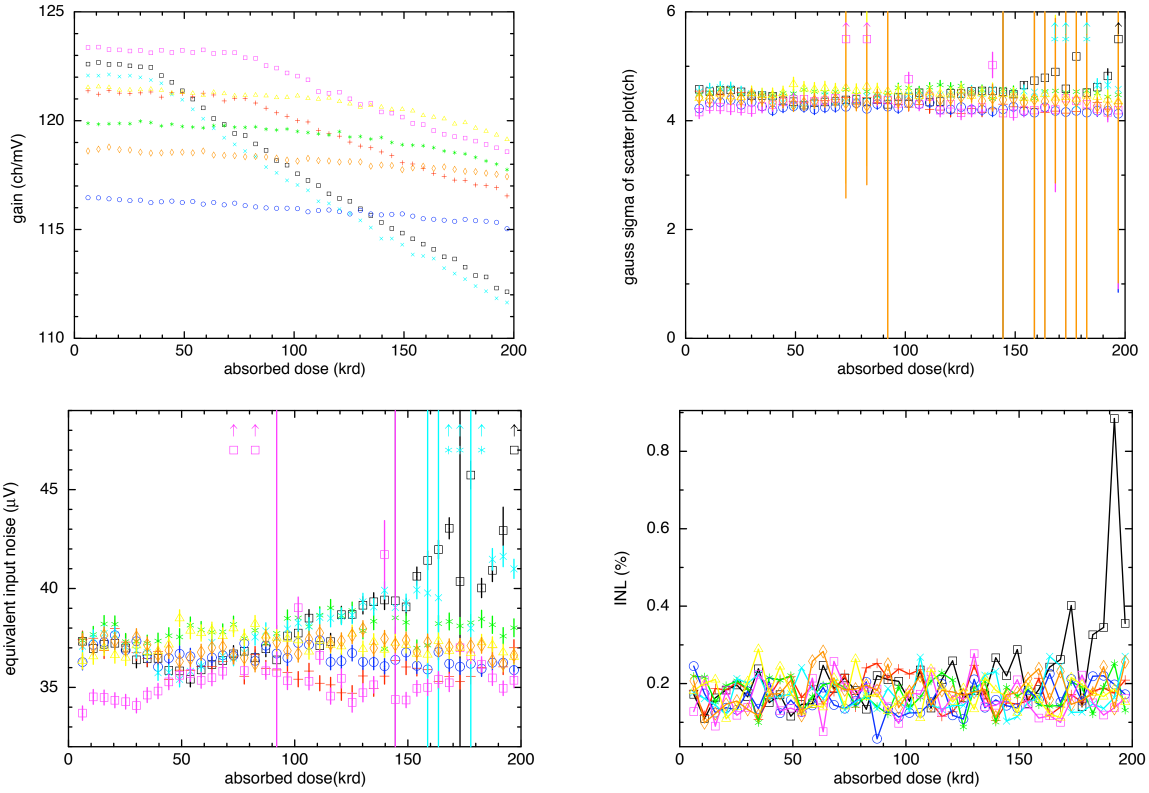


図 4.25: 5-bit DAC 値 3 における各単体性能パラメーターの吸収線量依存性。

4.2.2　プロトン / 鉄イオンの照射試験

我々は 2009 年 7 月 7 日と 8 日の二日間、放射線医学総合研究所の HIMAC を用いて、プロトンと鉄イオンの照射試験を行った。図 4.26 に HIMAC の模式図を示す。コバルト 60 ガンマ線照射試験と同様に、阪大の ASIC 単体試験のセットアップ一式を現地に持ち込んだ。プロトンと鉄イオンビームの核子当たりのエネルギーはそれぞれ 150 MeV と 400 MeV、ビーム径はそれぞれ半値全幅で、2.7 mm と 4.9 mm であった。3 mm 四方のベアチップにどの程度粒子が当たるかを表す照射効率はビームの 2 次元プロファイルを基に計算した。ビームは 3.3 秒に 1 秒間、間欠的に照射される。表 4.5 に HIMAC によるビーム諸元をまとめる。ビームの最大強度と、シリコンに対する線エネルギー付与（LET）は表 4.5 を参照されたい。またここで示している LET は [21] を用いて計算した。

表 4.5: HIMAC のビーム諸元

核種	プロトン	鉄イオン
エネルギー [MeV/amu]	150	400
ビーム径 (半値全幅) [mm]	2.7	4.9
照射効率	0.56	0.19
最大強度 [particle/sec]	$\leq 2 \times 10^{8}$	$\leq 2 \times 10^{6}$
シリコンに対する LET [MeV·cm^2/mg]	4.38×10^{-3}	1.68

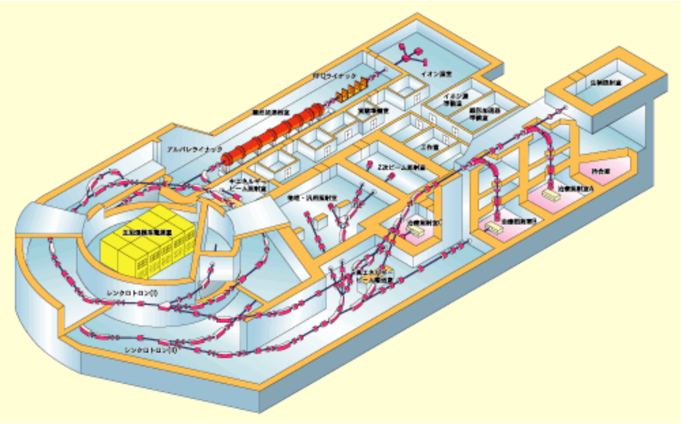


図 4.26: 重粒子がん治療装置 (Heavy Ion Medical Accelerator in Chiba : HIMAC)

図 4.27 にビームの発射口の写真を示す。発射口には蛍光板が取り付けられている。この蛍光板はプロトンビームが当たると光るので、ビームの位置と収束度を確認するために用いられた。実際の照射実験中は取り外す。図 4.28 に、蛍光板にプロトンが当たって光っている様子を映している外部モニターの写真を示す。

ASIC はビームの中心軸上にくるようにセットした。試験基板と ASIC の素材をシリコンと仮定すると、その厚さは 3.1 mm である。150 MeV のプロトンが、シリコン中を 3.1 mm 進んだときのエネルギー損失が小さい (約 5%)[21] ため、プロトン照射試験では図 4.29 に示すように 2 枚の試験基板を重ねて 2 枚のチップに同時にプロトンを照射した。ただし、照射中に信号処理を行うのは前側の基板にマウントしたチップのみであり、後側の基板にマウントしたチップは電源電圧も与えていない。鉄イオンの照射試験では前側の基板にのみチップをマウントして試験を行った。我々は SEL 対策として、リーク電流により、試験基板に流れる電流がトランジスタ電源のカレントリミットの 0.2 A に達すると、試験基板の電源を落とし、SEL が解消したと思われる適当な時間（5 秒）経過後、再通電し試験を再開するという方法をとった。電流のモニタはアナログ・デジタルの 3.3 V 系の電源ラインにそれぞれ 0.1 Ω の抵抗を挿入し、その両端の電圧をマルチメータで測定することで行った。また、表 4.6 にプロトン、鉄イオン照射中のデータ取得条件をまとめる。

表 4.6: プロトン、鉄イオン照射試験におけるデータ取得条件

読み出し速度 [kHz]	78.1
プリアンプ増幅率	10
5-bit DAC 値	3
入力電圧範囲 [mV]	-24 ∼ +14
カレントリミット [A]	0.2

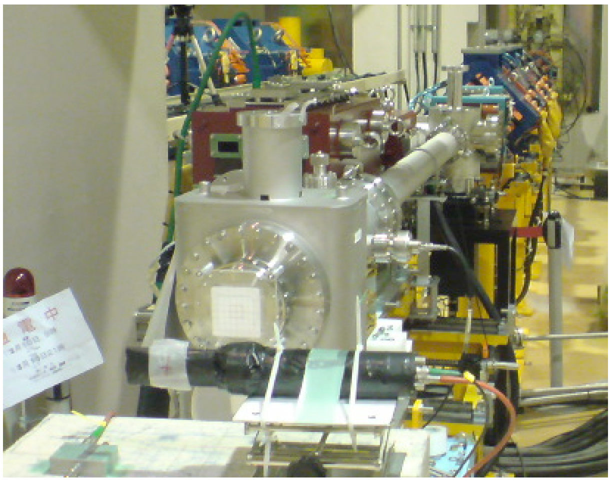


図 4.27: HIMAC のビーム発射口。発射口に蛍光板が取り付けられている。

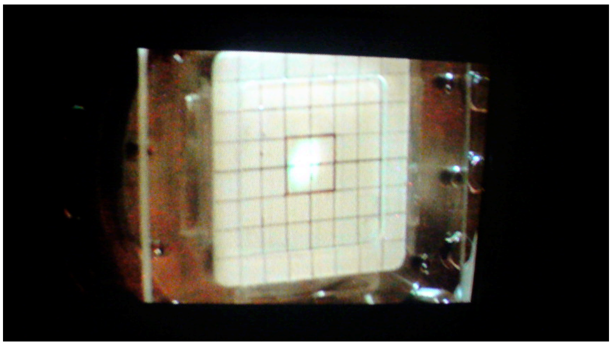


図 4.28: プロトンが当たって光っている蛍光板を映している外部モニターの写真

図 4.29: 縦置き治具によって固定した 2 枚の基板

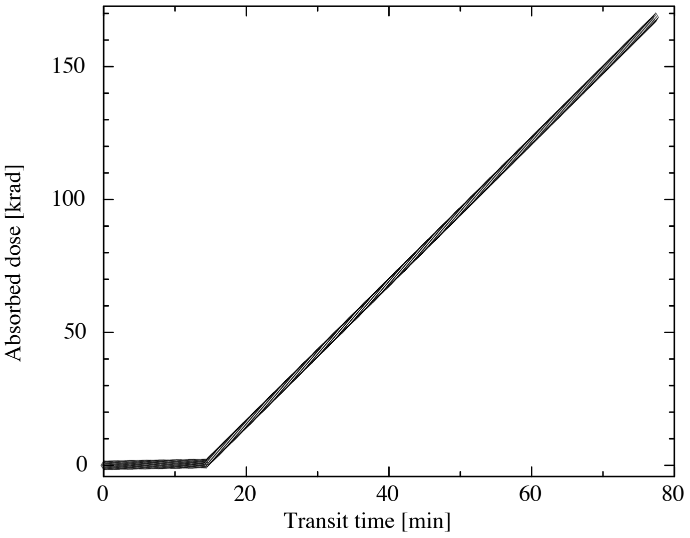


図 4.30: プロトン照射による吸収線量

プロトン照射試験

我々はコバルト 60 ガンマ線照射試験に続いて、SXI-ASIC の TID 効果に対する耐性の評価試験という位置付けでプロトン照射試験を行った。さらにプロトンのエネルギーは違うものの、2008 年に HIMAC を用いた同じセットアップで SXI-ASIC の最初のモデル 'MD01' に対してプロトン照射試験（プロトンエネルギー : 200 MeV/amu）を行っているので、結果の比較ができると考えた。

我々はまず、プロトンの強度を 2.00×10^6 particle/sec に設定し、15 分間照射した。その後、強度を 1.11×10^8 particle/sec に上げて、さらに 63 分間照射した。我々は ASIC ベアチップを一様なシリコンと仮定して吸収線量を計算した。

荷電粒子が照射物を透過した際の LET を E_{LET}、照射物面積を S_T [cm^2] とすると、1 粒子当たりの吸収線量は

$$\frac{E_{LET}}{S_{\mathrm{T}}} \quad [\ \mathrm{Gy}\ =\ \mathrm{J/kg}\ =\ 100\ \mathrm{rad}\ ] \tag{4.3}$$

と表される。よって、強度 I [particle/sec]、照射効率 η のとき、吸収線量率は

$$\frac{E_{\mathrm{LET}}}{S_{\mathrm{T}}} \cdot \eta \cdot I \quad [\ \mathrm{Gy/sec}\ ] \tag{4.4}$$

150 MeV のプロトンの、シリコンに対する LET は、 $\mathrm{E_{LET}} = 4.38 \times 10^{-3}$ MeV · cm^2/mg であり、また照射物である 3 mm 四方の ASIC ベアチップの面積は 0.09 cm^2、照射効率は 0.56 である。よって強度 I が 2.00×10^6 particle/sec と、1.11×10^8 particle/sec のときの吸収線量率はそれぞれ、2.9 krad/hr と 158 krad/hr である。ただし 1 MeV = 1.6×10^{-13} J である。図 4.30 に、経過時間に対するプロトンによる吸収線量を示す。全吸収線量は 169 krad である。

図 4.31 と図 4.32 にそれぞれ、ゲイン [ch/mV] と入力等価雑音の吸収線量依存性を示す。いずれも左側のグラフが 'MND02' 、右側のグラフが 'MD01' の channel 0 の結果である。表 4.7 に 'MND02' の各 ADC 出力の結果とグラフ中のプロットマークの対応をまとめる。'MND02' の結果は、169 krad 照射中に渡って、ゲイン [ch/mV]、入力等価雑音ともに有意な性能変化は見られな

かった。一方で、'MD01' の結果は約 16 krad 照射後から、even、odd ともに大きく性能が劣化している。これは TID 効果により、MOS トランジスタの閾値電圧が変化したためだと考えられる [20]。また 'MD01' の結果の右側のパネルは、プロトン照射後、室温で 3ヶ月経過後に得たデータである。アニーリング効果[2]により性能が回復している。

コバルト 60 ガンマ線照射試験の結果も含めて今回のプロトン照射試験の結果から、最新モデルの 'MND02' の TID 効果に対する耐性は過去のモデルの 'MD01' に比べて大きく向上したことがわかった。'MND02' がセラミック QFP パッケージであるのに対して、'MD01' はプラスチック QFP パッケージであるという違いがあるものの、製造は同じプロセスを用いている。実験条件も、プロトンビームのエネルギーと強度がわずかに違うのみで、その他の条件は同じである。これより両者のチップの TID 効果に対する耐性の違いは、回路設計の違いによるものであると考えられる。

'MND02' と 'MD01' の回路設計には主に 2 つの違いがある。1 つは、プリアンプ部における入力トランジスタを、一般にフリッカ雑音が NMOS と比べて小さい PMOS に変更したことである。フリッカ雑音とは、チャネルが形成されるシリコン基板と酸化膜界面に生じた電荷あるいは正孔トラップに、キャリアが捕獲、また放出されることによる雑音をいう。もう 1 つは、その入力トランジスタのサイズと数を変更したことである。プリアンプ出力にのる雑音は入力トランジスタのゲート幅 W とゲート長 L の比、いわゆる W/L に反比例して小さくなることが知られている [23]。'MD01' では、W と L がそれぞれ 75 μm、0.4 μm のトランジスタを 1 つ用いたのに対し、'MND02' は W と L がそれぞれ 25 μm と 1 μm の 16 個のトランジスタを、W が長くなる方向に並列に並べることで実効的な W/L を大きくした。

これらの変更は、放射線耐性の向上ではなく回路の低雑音化を狙ったものであったが、結果的に放射線耐性が向上した。両チップの TID 効果に対する耐性の差の原因がプリアンプにあるとすると、図 4.31 と図 4.32 において、'MD01' の単体性能が even と odd が同じように劣化していることと整合性がとれる。

[2] 時間経過とともに半導体デバイスの性能が回復する効果

表 4.7: 図 4.31 と図 4.32 の ‘MND02’ の各 ADC 出力の結果とグラフ中のプロットマークの対応表

□ channel 0 even	+ channel 1 even	× channel 2 even	○ channel 3 even
* channel 0 odd	□ channel 1 odd	△ channel 2 odd	◇ channel 3 odd

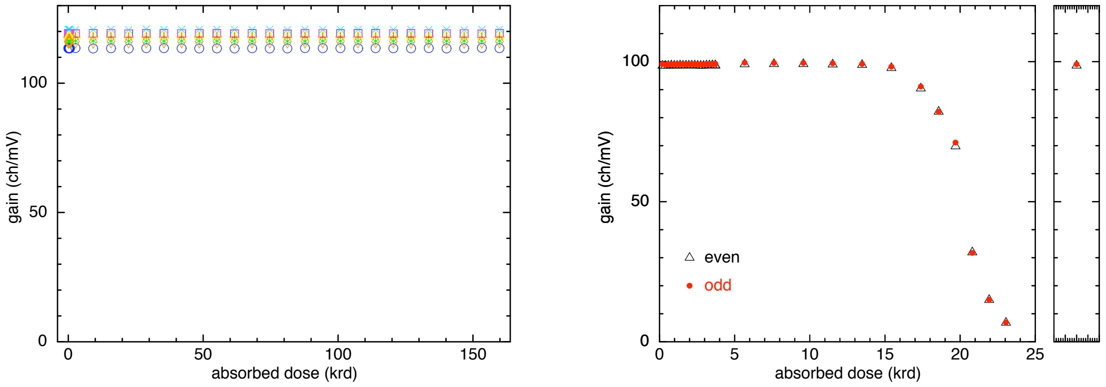


図 4.31: ゲインの吸収線量依存性。[左]‘MND02’ の 全 ΔΣ ADC の結果。[右]‘MD01’ の channel 0 の結果。右側のパネルはプロトン照射 3ヶ月後に得られた結果。

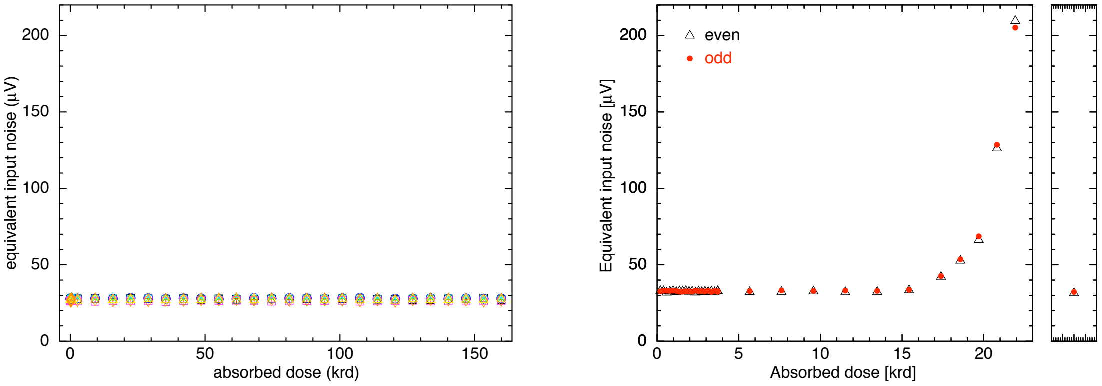


図 4.32: 入力等価雑音の吸収線量依存性。[左] ‘MND02’ の 全 ΔΣ ADC の結果。[右]‘MD01’ の channel 0 の結果。右側のパネルはプロトン照射 3ヶ月後に得られた結果。

鉄イオン照射試験

我々は2日目に、3チップに対して鉄イオンの照射試験を行った。プロトン照射試験と同様に順次ビーム強度を上げていった。チップ別にビーム強度と正味の総照射量、吸収線量を表4.8にまとめた。ここでいう正味の照射量とは、ビーム強度と照射時間の積に照射効率0.19をかけ、ASICベアチップの面積 (0.09 cm^2) で割った値である。また図4.33 ～ 図4.35に各チップごとの正味の照射量のグラフを示す。

表 4.8: 鉄イオンビーム詳細

チップ ID	chip 7	chip 12	chip 13
ビーム強度 [particle/sec]	3.0×10^{2} (388 sec)	3.0×10^{2} (414 sec)	3.0×10^{4} (350 sec)
(照射時間)	3.0×10^{3} (393 sec)	3.0×10^{3} (376 sec)	6.1×10^{5} (337 sec)
	3.0×10^{4} (1198 sec)	3.0×10^{4} (1206 sec)	
正味の照射量 [particle/cm^2]	7.7×10^7	7.9×10^{7}	5.1×10^8
吸収線量 [krad]	2.2	2.2	14

鉄イオンの照射中、単体試験基板を流れるアナログ電流 (14-15 mA)、ディジタル電流 (119-120 mA) 共に増加は見られなかった。本試験ではSELは起きなかったと言える。つまり、SELのLET閾値は 1.68 MeV·cm^2/mg 以上であると決めることができる。

ここでSELの発生回数の確率分布がポアソン分布に従うとし、SELの発生回数の平均値を3回と仮定してSELが起こる散乱断面積を計算する。なお以下の計算では、照射量が最大であったチップ13のデータを用いる。SELの発生回数を x、発生回数の平均値を μ とすると、ポアソン分布関数 P(x) は、

$$P(x) = \frac{\mu^x \cdot e^{-\mu}}{x!} \tag{4.5}$$

と書ける。$\mu = 3$ のとき、SELが1度も起こらなかったときの確率 P(0) は、

$$P(0) = e^{-3} = 0.05 \tag{4.6}$$

であるので、SELの発生回数の平均値3回から求める散乱断面積 σ_{SEL} は、95 %の有意度の上限値となる。すなわち、

$$\sigma_{SEL} \leq \frac{3/\mathrm{ASIC}}{5.1 \times 10^8 \ \mathrm{particle/cm^2}} \tag{4.7}$$

$$= 5.7 \times 10^{-9} \ \mathrm{cm^2/(particle \cdot ASIC)} \quad (95\ \%\ \text{confidence level}) \tag{4.8}$$

と決定できる。

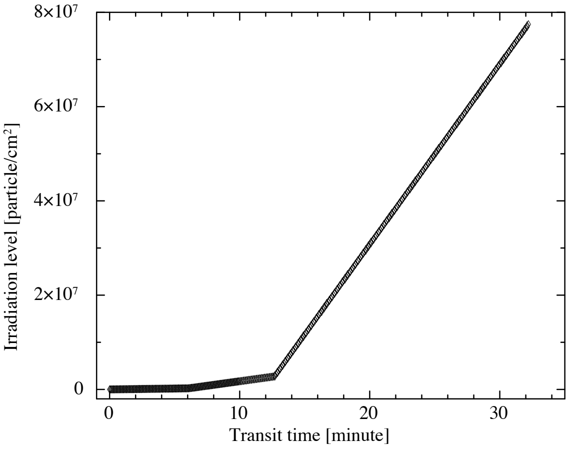


図 4.33: ASIC ベアチップへの鉄イオンの正味の照射量 (chip7)

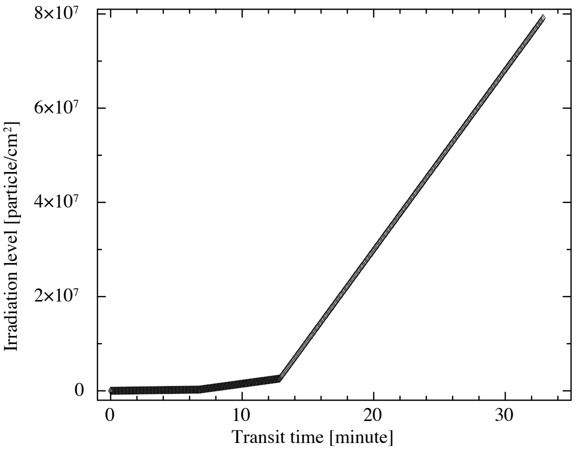


図 4.34: ASIC ベアチップへの鉄イオンの正味の照射量 (chip12)

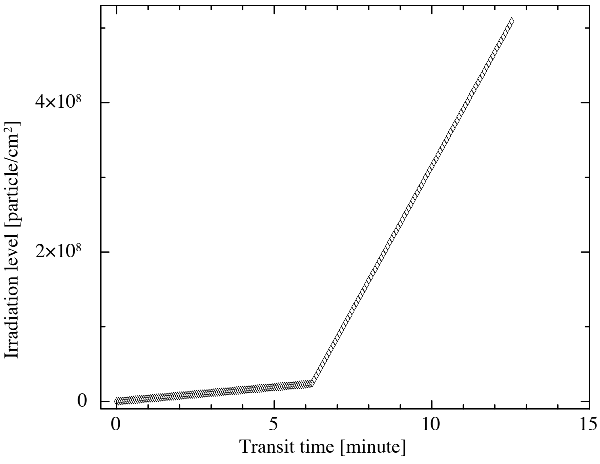


図 4.35: ASIC ベアチップへの鉄イオンの正味の照射量 (chip13)

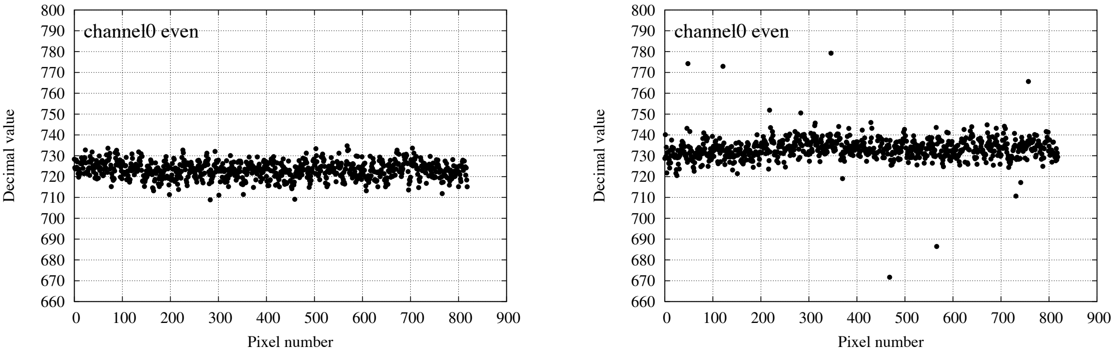


図 4.36: 鉄イオン照射前の channel 0 even のスキャッタープロット（入力電圧差：-18 mV）（左）、鉄イオン 3 krad 照射後の channel 0 even のスキャッタープロット（入力電圧差：-18 mV）（右）。

図 4.36 に鉄イオン照射前後の channel 0 even のスキャッタープロット（入力電圧差：-18 mV）を示す。3 krad 照射後のスキャッタープロットでは、分布中心から約 20∼80 ADU 外れるピクセルがいくつか見られた。スキャッタープロットの分布をガウス関数でフィッティングし、4 シグマ範囲 (99.994%) を外れるピクセルを SEU イベントとしてカウントした。1 回のデータ処理における SEU イベント数は 819 ピクセル中、約 10 ピクセルであった。以下、SEU と思われるイベントの原因と頻度について考察する。

仮に ASIC 出力の 155 bit のビットストリームのうち、どれか 1 bit に SEU が発生したとすると約 120 ADU ずれる。従って、今回の SEU は ASIC 出力部のフリップフロップ回路で起きたものとは考えにくい。他に原因としては、Δ Σ ADC 内部の積分器、あるいはプリアンプ部のあるキャパシタに電荷が流れ込んだ、などが考えられる。

LET = 1.68 MeV·cm^2/mg における SEU が発生する散乱断面積 $\sigma_{\rm SEU}$ を計算する。1 回のデータ処理に要する時間が 10.5 ミリ秒であることから、その間の ASIC ベアチップ (0.09 cm^2) に対する照射量 A は

$$A \;=\; 6.1\times 10^5 \text{ particle/sec} \times 0.19 \div 0.09 \text{ cm}^2 \times 0.0105 \text{ sec} = 1.4\times 10^4 \text{ particle/cm}^2 \qquad (4.9)$$

と計算できる。

また、軌道上で 1.4 × 10^4 particle/cm^2 だけ照射される間に、ASIC が処理する bit 数 B は

$$B = 819 \text{ pixel} \times 155 \text{ bit/pixel} \times \frac{\text{実験における強度}}{\text{軌道上における強度}} \qquad (4.10)$$

であるので、軌道上と実験で照射した強度の比を計算する必要がある。図 4.37 に CREME モデル [25][36] を用いて計算した ASTRO-H 軌道上における LET スペクトルを示す。縦軸は、ある LET 値を超える LET を与える荷電粒子の単位面積、単位立体角当たりの軌道上での強度を表している。青色のラインは、我々の太陽系の外から飛来する放射線、いわゆる銀河宇宙線 (Galactic Cosmic Rays：GCRs) のみを含む LET スペクトルである。銀河宇宙線の 80 %はプロトンが占めている。赤色のラインは、銀河宇宙線に加えて太陽活動を起源とする放射線を含む LET スペクトルである。

太陽活動は 11 年周期で変動するが、ここでの太陽活動は観測史上 (~1972) もっとも活発になった 1989 年 10 月の太陽活動イベントの 90 %を仮定している。また緑色のラインは銀河宇宙線に加えて、10 MeV 程度のエネルギーを持つ一階電離した荷電粒子 (ヘリウム、窒素、酸素、ネオン) 成分を考慮に入れている。高階電離した荷電粒子に比べて地球磁場にトラップされにくいため、低周回軌道において脅威となる。今回照射した鉄イオン LET = 1.68 MeV·cm^2/mg における Integral flux を ASIC に入射する荷電粒子の組み合わせ別に表 4.9 にまとめる。

表 4.9: LET = 1.68 MeV·cm^2/mg におけるIntegral flux (particle/cm^2/str/sec)

銀河宇宙線のみ	4.6×10^{-4}
銀河宇宙線 + 太陽活動起源の放射線	7.9×10^{-4}
銀河宇宙線およびその異常成分 (一価電離)	6.2×10^{-3}

最悪値の 6.2×10^{-3} particle/cm^2/str/sec は、ASIC の厚さを無限に薄いと仮定すると、入射荷電粒子が ASIC を見込む立体角は 2π であるので、Integral flux は 3.9×10^{-2} particle/cm^2/sec と書ける。したがって、

$$\frac{\text{実験における強度}}{\text{軌道上における強度}} = \frac{6.1 \times 10^5}{3.9 \times 10^{-2}} = 1.6 \times 10^7 \tag{4.11}$$

となる。よって、

$$B = 819 \text{ pixel} \times 155 \text{ bit/pixel} \times 1.6 \times 10^7 = 4.1 \times 10^{16} \text{ bit} \tag{4.12}$$

である。これらから、SEU が発生する散乱断面積 σ_{SEU} は 1 回のデータ処理あたりの SEU が 10 回発生するとすると、

$$\sigma_{\mathrm{SEU}} = \frac{10}{A \cdot B} = 3.8 \times 10^{-16} \text{ cm}^2/(\text{particle} \cdot \text{bit}) \tag{4.13}$$

と計算できる。今後、複数の LET 値を持つ荷電粒子を照射し、それぞれの LET 値における SEU に対する散乱断面積を求める必要がある。そして得られた Weible curve （3.4.1 参照）から LET 閾値を決定し、軌道上での SEE が発生する頻度の評価を行う。

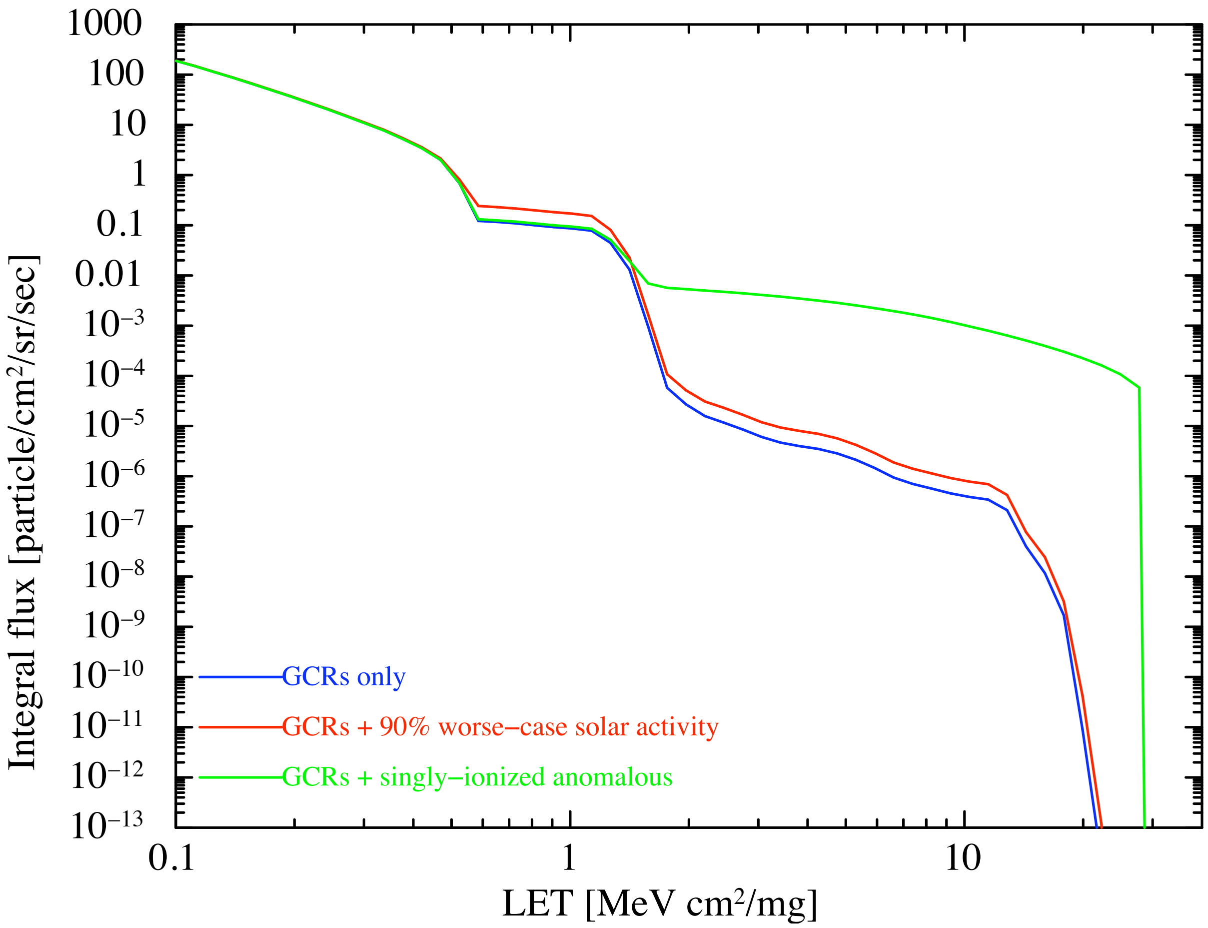


図 4.37: ASTRO-H 軌道上における LET スペクトル

4.3 衛星温度環境試験

我々は恒温槽を用いて衛星温度環境を疑似的に作り出し、その中で ASIC の単体試験を行い、ASIC 単体性能にどの程度温度依存性があるかを調べた。衛星温度環境は 10 ℃ ～ 30 ℃であり、実験は ± 10 ℃のマージンを見込んで、0 ℃ ～ 40 ℃の温度範囲で行った。

4.3.1 実験セットアップ

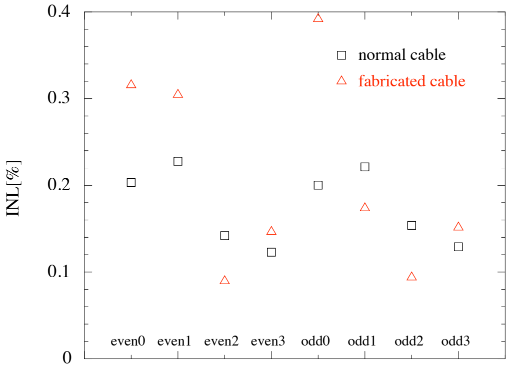
図 4.38 に恒温槽の外観を示す。恒温槽を用いた温度試験を行うには、単体試験基板ごと ASIC を恒温槽内部にセットする必要がある。しかし、NI ケーブルのコネクタは幅が 7.5 cm あるため恒温槽のケーブル孔（5 cm 径の孔と 2.5 cm 径の孔）を通らない。D サブ 25 ピンコネクタであれば 5 cm 径の孔を通るため、単体試験用ケーブルを D サブ 25 ピンコネクタを用いて加工した。また加工したケーブルと通常のケーブルを用いて、単体試験を行った。データ取得条件を表 4.11 にまとめる。図 4.39 に、2 種類のケーブルを用いて得られた単体性能（INL、入力等価雑音）を示す。これより、有意な性能の差があることが認められる。しかし、今回の実験では最高性能ではなく単体性能の温度依存性を調べることが目的なので、この性能差は目的を達成する上で問題にならない。

図 4.38: 恒温槽外観

表 4.10: ケーブル別単体試験におけるデータ取得条件

5-bit DAC 値	0
入力電圧範囲 [mV]	-18 ～ 16
読み出し速度 [kHz]	78.1
プリアンプ増幅率	10

ASIC の温度測定は図 4.40 の左側に示すように、白金抵抗 (pt1000) をシリコングリスでソケット部と基板部に接着してその抵抗値を測定することで行った。実際の実験ではソケット部に接着した白金抵抗のみの抵抗値を測定した。抵抗値の測定は電流の測定と同様にマルチメータを用い



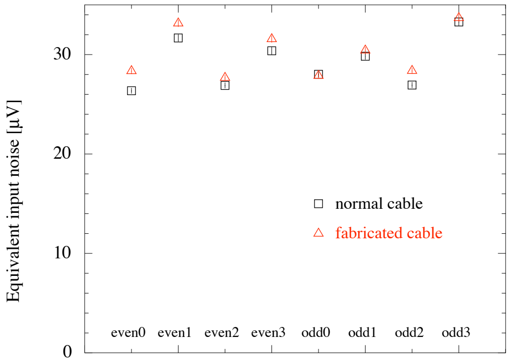


図 4.39: 加工前後の NI ケーブル (normal cable、fabricated cable) を用いて得られた各 ADC ごとの単体性能の比較 [左]INL、[右] 入力等価雑音（右）。両者で有意に性能は異なるが、温度依存性の評価においては問題になるレベルではない。

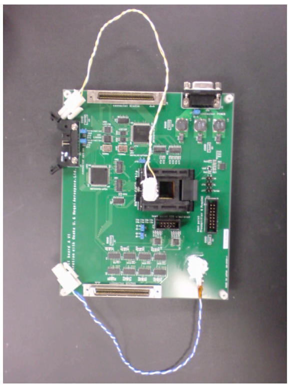


図 4.40: [左] 白金抵抗 (pt1000) をシリコングリスで接着した単体試験基板、[右] 衛星温度環境試験の実験セットアップの様子。

た。pt1000 の抵抗値を R [Ω]、温度を T [℃] とするとその関係式は

$$T = \frac{R - 1000}{4} \tag{4.14}$$

である。

図 4.40 の右側に衛星温度環境試験の実験セットアップの写真を示す。恒温槽内に単体試験基板をセットし、恒温槽の上に正面左から、NI6703 と NI6534 を内蔵した Linux コンピュータ、マルチメータ、トランジスタ電源を配置した。基板に流れる電流はプロトン/鉄イオン照射試験と同様に電源ラインに 0.1 [Ω] を挿入してその電圧差 [V] をマルチメータを用いて測り、0.1 [Ω] で割ることで求めた。

4.3.2 読み出し速度別温度依存性

我々は ASIC 単体性能の温度依存性を、読み出し速度別に調べた。試験温度は、0 ～ 40 ℃の間で 10 ℃ずつ変化させた。試験中、常時試験基板の温度と電流を記録した。各温度において、読み出し速度を 20 ～ 625 kHz まで、6 段階に変化させてデータ取得を行った。試験の詳細を表 4.11 にまとめた。

表 4.11: 衛星温度環境試験におけるデータ取得条件

チップ ID	チップ 36、チップ 35、チップ 20
試験温度 [℃]	0, 10, 20, 30, 40
読み出し速度 [kHz]	19.5, 39.1, 78.1, 156, 312, 625
5-bit DAC 値	0, 3
プリアンプ増幅率	10
入力電圧範囲 [mV]	-18 ～ +16

図 4.41 に、各温度における、データ取得中の単体試験基板中を流れるアナログ · デジタルの電流と温度の時間変化を示す。アナログ · デジタルの電流ともに、6 段階のステップ関数的な増加が 2 回見られることがわかる。6 段階のステップ関数的な増加は、読み出し速度を段階的に上げていることによる電流の増加である。2 回見られるのは、5-bit DAC 値を変化させて 2 回データ取得を行っているためである。また、各温度の温度変動は 0.6 ℃以下である。

図 4.42 に、チップ 36 のゲイン [ch/mV] の温度依存性を読み出し速度別に示す。読み出し速度と図 4.42 中のプロットマークとの対応を表 4.12 にまとめる。ゲイン [ch/mV] は読み出し速度に反比例して、小さくなる傾向があることがわかる。我々は、ゲイン [ch/mV] の変動を調べるために、変動幅 W を以下のように定義した。

$$W(Val)\ [\%] \equiv \frac{Val_{\mathrm{max}} - Val_{\mathrm{min}}}{Val_{\mathrm{T=20degC}}} \times 100 \tag{4.15}$$

ここで、Val は各温度におけるゲイン [ch/mV] を表しており、0 ～ 40 ℃ の温度範囲における最大値を Val_{max}、最小値を Val_{min}、温度 20 ℃におけるゲイン [ch/mV] を $Val_{\mathrm{T=20degC}}$ と表す。図 4.43 に、各読み出し速度ごとに計算してプロットした 変動幅 W を示す。5-bit DAC 値 0 と 3 で同様の傾向を示している。読み出し速度 625 kHz において、ゲイン [ch/mV] の変動幅は急激に増加している。また、読み出し速度 39 kHz における変動幅は 0.2 %であり、 312 kHz まで 0.6 %以下である。ゲイン [ch/mV] の変動幅が 0.2 %であるということは、CCD に 6.4 keV の鉄の Kα が入射したとすると、輝線のピークが約 13 eV 変動することに等しい。

現在軌道上にある『すざく』の軟 X 線撮像器 (X-ray Imaging Spectrometer : XIS) の、個別 IC で構成された CCD 読み出しシステムの 0 ～ 40 ℃におけるゲイン [ch/mV] の変動幅は、約 0.2 % (読み出し速度 33 kHz) である [34]。これと比較すると同程度の温度依存性であるといえる。また、このゲイン [ch/mV] の変動は、あらかじめ SXI-ASIC のフライトモデル[3]の温度依存性を調べることで較正可能である。今回の実験によって、軌道上で ASIC をマウントする基板の温度を精度よく測定し、その温度によりゲインを補正する必要性を提起する結果を得た。

[3]実際に衛星に搭載するチップ

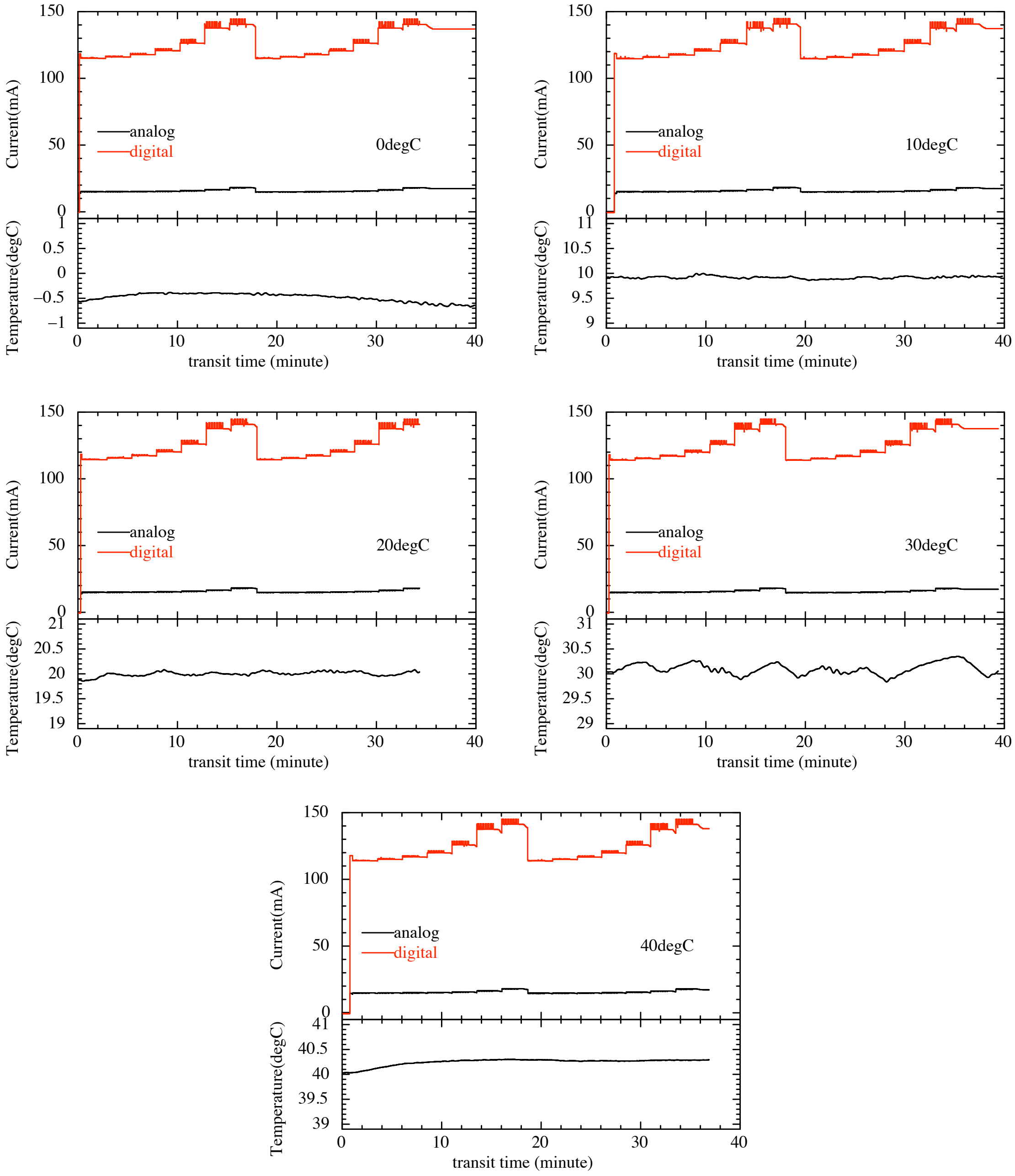


図 4.41: 各温度におけるデータ取得中の基板を流れる電流 (上のパネル) と温度の詳細な変化 (下のパネル)。横軸はマルチメータで電流と温度の記録を取り始めてからの経過時間を表す。

表 4.12: 図 4.42 における読み出し速度とプロットマークの対応

□ 19.5 kHz	+ 39.1 kHz	* 78.1 kHz
○ 156 kHz	× 312 kHz	△ 625 kHz

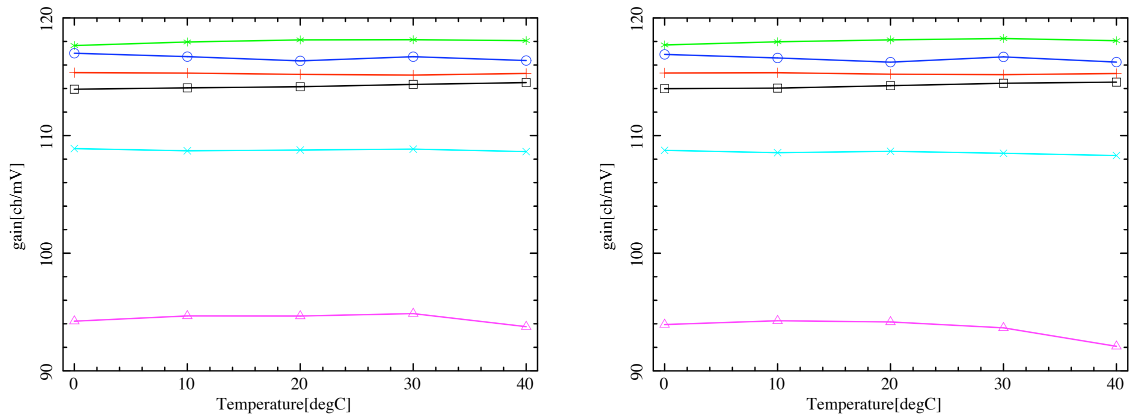


図 4.42: ゲイン [ch/mV] の温度依存性。[左] 5-bit DAC 値 0 [右]5-bit DAC 値 3

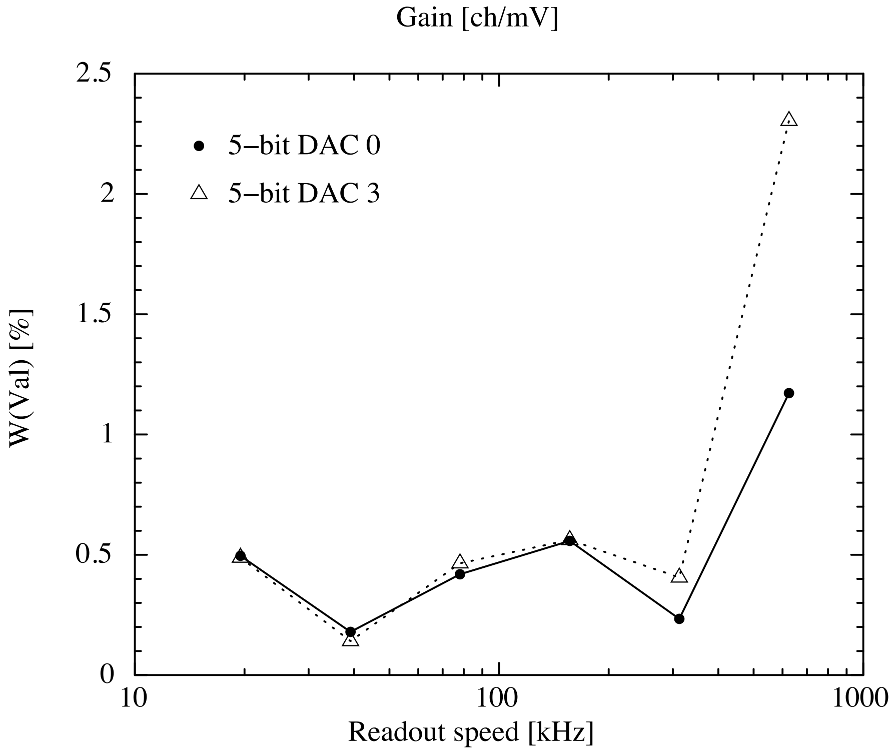


図 4.43: ゲインの変動幅。312 kHz まで 0.6 % 以下である。

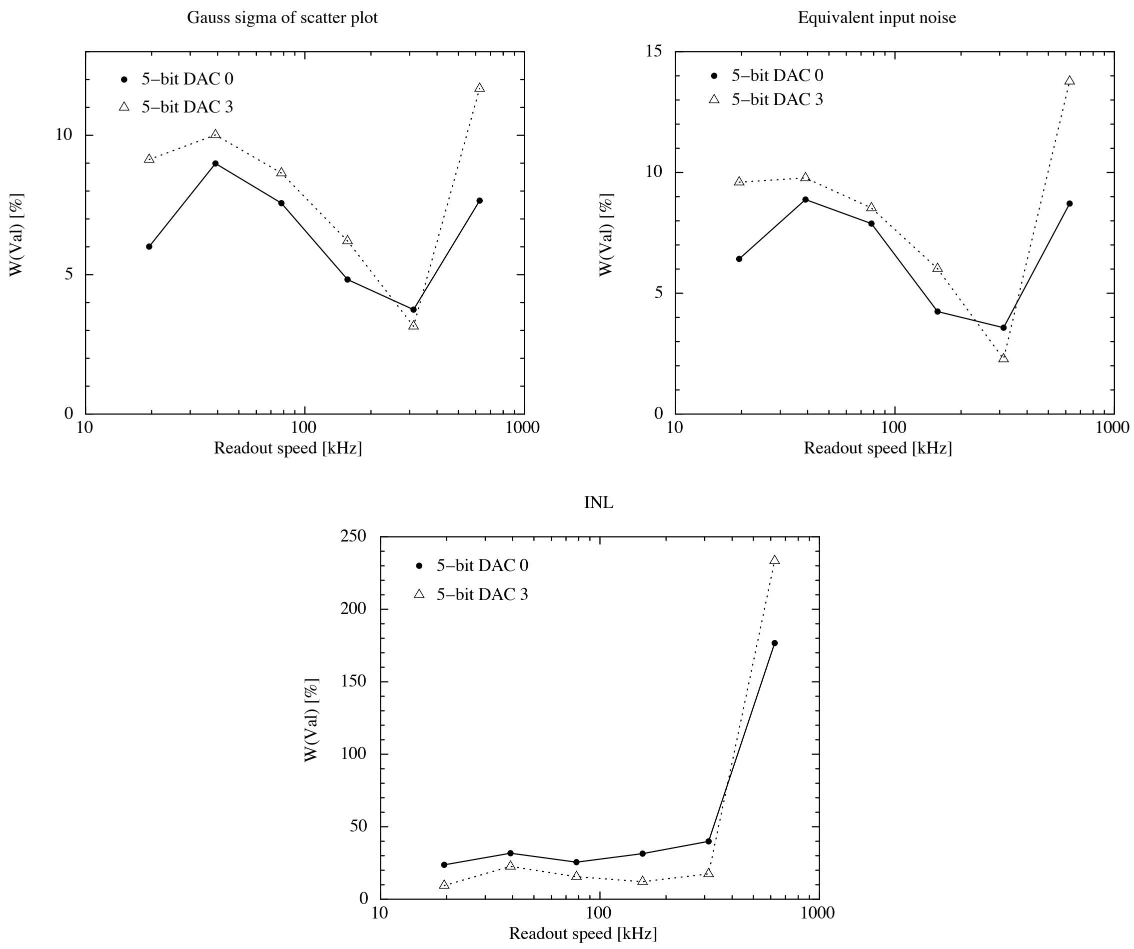


図 4.44: その他の単体性能の 0∼40 ℃における変動幅

また、INL、スキャッタープロットの標準偏差、入力等価雑音の温度依存性も調べ、それぞれについて変動幅 W を計算した。結果を図 4.44 に示す。スキャッタープロットの標準偏差と入力等価雑音の変動幅は、同様の傾向を示している。SXI で予定されている読み出し速度 (68 kHz) にもっとも近い 78.1 kHz において、変動幅は約 8 %程度である。また INL の変動幅は、他の単体性能の変動幅に比べて相対的に大きい。読み出し速度 312 kHz まで変動幅は約 40 %である。

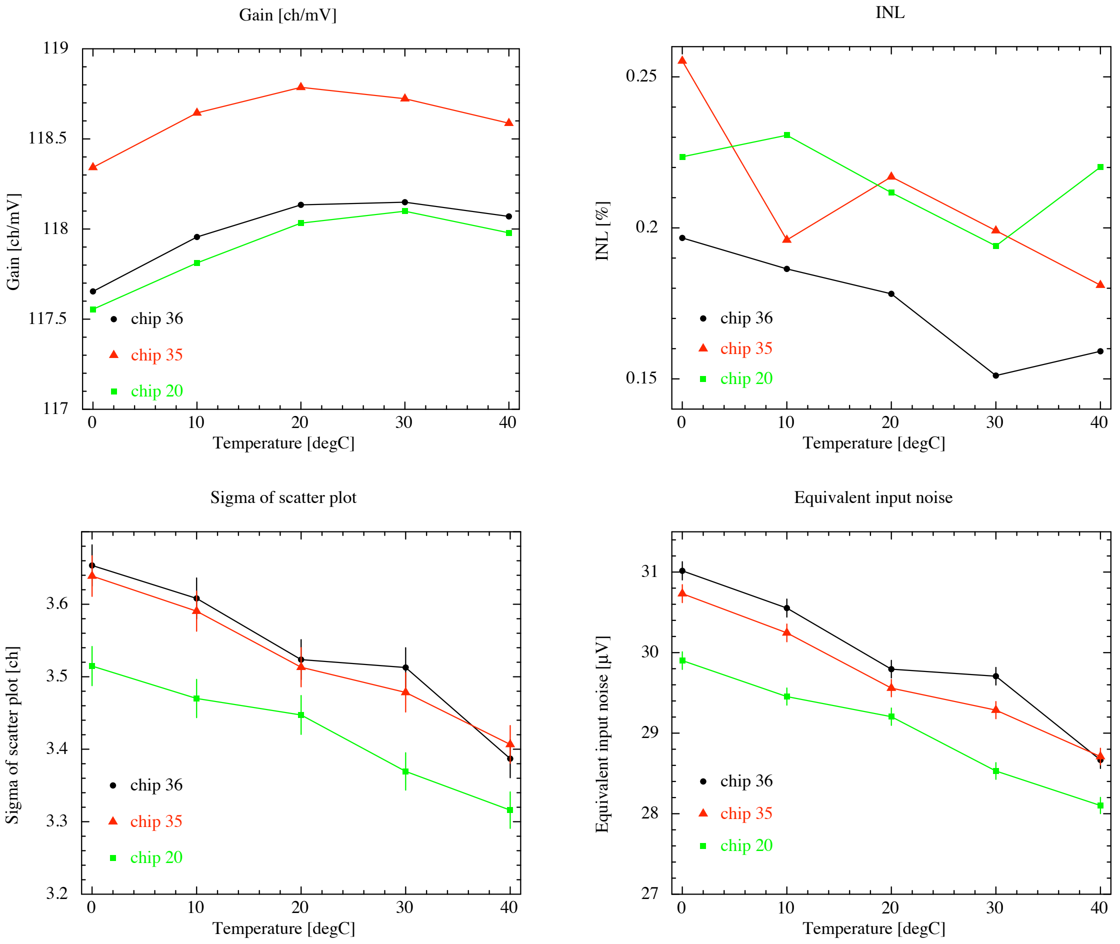


図 4.45: 単体性能の温度依存性の比較

続いて、図 4.45 に読み出し速度 78.1 kHz、5-bit DAC 値 0 における単体性能の温度依存性の 3 チップ間での比較を示す。ゲイン [ch/mV] は 3 チップとも、20 ℃に緩やかなピークを描いて変化している。スキャッタープロットの標準偏差と入力等価雑音の温度依存性も 3 チップ間で同様の傾向を示し、温度に反比例して有意に減少していることがわかる。また INL の温度依存性はチップ間で同様の傾向は特に認められない。

第5章　まとめ

我々は、X 線 CCD カメラの読み出しシステムの小型化、低消費電力化を目指して衛星搭載用 X 線 CCD カメラの信号処理を行うアナログ ASIC を開発している。開発している ASIC は、X 線 CCD のアナログ信号を増幅、整形し最後にデジタル信号に変換する回路ブロックを 4 チャンネル集積している。製造は TSMC の 0.35 μm CMOS プロセスを用いた。パッケージングしたサイズは 15 mm 四方であり、消費電力は約 170 mW である。これは、現在我々の研究室で使用している個別 IC で構成した読み出しシステムの数%の値であり、本研究の目的である読み出し回路の小型化と低消費電力化に成功したといえる。

- **ASIC 単体性能の評価試験**
  CCD 疑似信号を用いた ASIC 単体試験により設計通りに動作すること確認した後、単体性能の評価を行った。積分非線形性は約 0.2 %、雑音レベルは、Pch-2k4k CCD の電荷電圧変換係数 5.5 μV/e$^-$ を用いて電子数換算すると約 5.4 個であった。

- 放射線耐性の評価試験
  TID 効果に対する耐性は、ASTRO-H 軌道上において約 200 年分に相当する量の放射線を照射しても、フロントエンドとしては正常に機能することを確認した。SEE に対する耐性は、LET 値 1.68 MeV·cm^2/mg の鉄イオンを照射して評価した。結果としては SEL は起きなかったので、SEL に対する LET 閾値の下限を 1.68 MeV·cm^2/mg と決定できた。また、SEU に対する散乱断面積を求めることができた。しかし、今回の実験だけでは SEE 耐性の評価は十分といえず、今後複数の LET を持つ荷電粒子を照射し、SEU と SEL それぞれが発生する散乱断面積を求め、SEE に対する LET 閾値を決定し、軌道上で SEE が発生する頻度を評価する必要がある。

- 衛星温度環境試験
  単体性能の温度依存性の評価は、温度を 0 ℃ ~ 40 ℃の間で 10 ℃ずつ変化させて、各温度で単体試験を行った。0 ℃ ~ 40 ℃の温度範囲で ASIC は正常に動作し、ゲインの変動幅は『すざく』XIS と同程度であることを確認した。今回の実験により、軌道上で ASIC をマウントする基板の温度を精度よく測定し、その温度によりゲインを補正する必要性を提起する結果を得た。

付 録A　X線CCDとの接続試験

ここでは、ASTRO-H 搭載用に開発を進めている Pch-2k4k CCD と SXI-ASIC との接続試験結果について述べる。なお、詳細は [26] を参照されたい。

A.1　Pch-2k4k CCD

図 A.1 に、CCD 接続試験に用いた Pch-2k4k CCD の写真を示す。Pch-2k4k CCD は大面積裏面照射型 P チャンネル CCD である。画素サイズは 15 μm 四方で、画素数は 2048 × 4196 ピクセルである。4 つの読み出しノードを持ち、4 チャンネル同時読み出しと 2 チャンネル同時読み出しが可能である。さらに転送方式は、フルフレームトランスファー (Full Frame Transfer : FFT) 方式と、フレームトランスファー (Frame Transfer : FT) 方式のどちらでも可能である。電荷電圧変換係数は 5.5 μV/e^- である。 Pch-2k4k CCD の仕様の詳細を表 A.1 にまとめる。

A.2　X 線スペクトル

Pch-2k4k CCD は暗電流を低減するために -70 ℃で動作させた。その際、CCD の結露を防ぐため、真空チャンバに入れて真空を引いている。動作時の真空度は約 10^{-6} Torr である。CCD 上で 4 × 4 画素の信号電荷を加算し、読み出し速度 33.5 kHz で読み出している。Pch-2k4k CCD の 4 つの読み出しノードからの信号を、SXI-ASIC の 4 つのチャンネルにそれぞれ入力して信号処理を行った。

図 A.2 に、Pch-2k4k CCD に ^{55}Fe を照射して得られた channel 1 even の X 線スペクトルを示す。これは 1 画素イベントのみを用いて得られたスペクトルである。1 画素イベントとは、CCD に入射した X 線の光電吸収によって生じた信号電荷が、1 画素に収まるイベントをいう（X 線 CCD のイベント処理の詳細については [13] を参照されたい)。^{55}Fe からの Mn-Kα の 5.9 keV と Mn-Kβ の 6.5 keV の輝線がはっきりと分離できている。5.9 keV におけるエネルギー分解能は 144 eV であり、読み出しノイズは電子数換算で約 7.1 個であった。この結果は『すざく』XIS の CCD 読み出しシステムと比較して遜色ない結果である [33]。Pch-2k4k CCD 接続試験結果を表 A.2 にまとめる。

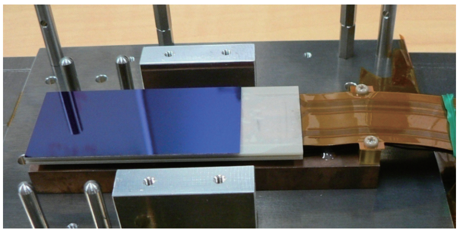


図 A.1: Pch-2k4k CCD

表 A.1: Pch-2k4k CCD の仕様

型番号	BI2-24-4k-1
照射方式	裏面照射方式
画素サイズ	15 μm × 15 μm
ピクセル数	2048 × 4096
読み出しノード数	4
転送方式	FT、FFT
電荷電圧変換係数 [μV/e$^-$]	5.5

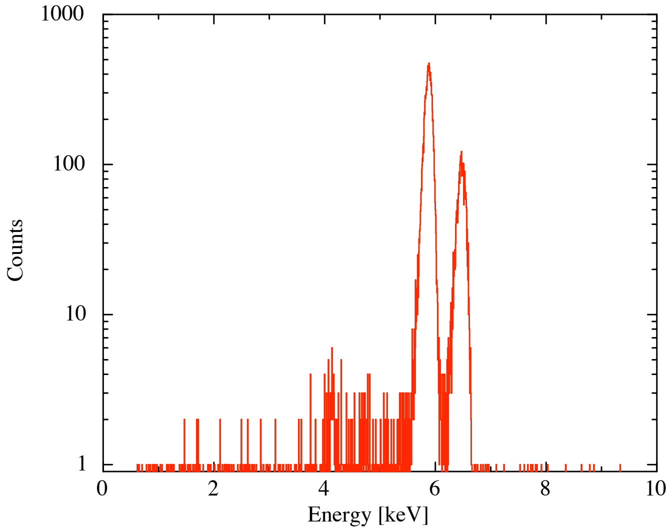


図 A.2: ^{55}Fe を照射して得られた 1 画素イベントスペクトル

表 A.2: Pch-2k4k CCD 接続試験結果

動作温度 [℃]	-70
読み出し速度 [kHz]	33.5
読み出し雑音 [e$^-$]	7.07 ± 0.10
エネルギー分解能 [eV]	144 ± 6 @ 5.9 keV

付 録B　SOI CMOS プロセスを用いたX線CCD用アナログフロントエンド ASICの試作

我々は ASTRO-H/SXI 搭載を目指して開発を進めている ASIC の他に、宇宙航空研究開発機構 (JAXA) の主導する Open-IP LSI プロジェクトに基づいて、SOI (Silicon-On-Insulator) 技術を用いた X 線 CCD 用アナログフロントエンド ASIC の試作を行った。回路設計は宇宙科学研究本部 (ISAS) の池田博一教授により行われた。本章でははじめに SOI について説明したあと、ASIC の概要と CCD からの信号処理について述べる。最後に実験結果について報告する。また章末に宇宙科学研究所の岸下徹一博士研究員と共同で "Readout ASIC with SOI technology for X-ray CCDs" というタイトルで執筆した IEEE Transactions on Nuclear Science への投稿論文を掲載する。

B.1　SOI

SOI とは Silicon-On-Insulator の略で、シリコン基板上の絶縁酸化膜 (Buried Oxide : BOX) の上の薄いシリコン層にトランジスタなどの電気回路を形成する集積回路技術のことである [35]。SOI CMOS プロセスはバルク CMOS プロセスに代わる次世代の LSI 製造方法として注目されている。図 B.1 に SOI CMOS (Complementary Metal-Oxide Semiconductor) トランジスタと古くからあるバルク CMOS トランジスタの模式図を示す。バルク CMOS と SOI CMOS の違いは、バルク CMOS は基板の表面に直接トランジスタを形成しているのに対し、SOI CMOS ではトランジスタと基板、また個々のトランジスタが完全に分離されている点である。この構造の違いから、SOI CMOS デバイスはバルク CMOS デバイスに比べていくつかの有利な特徴を持っている。1 つは基板との接合容量が小さい点にある。これにより、基板への漏れ電流を減らせるため低消費電力で高速動作・低雑音の信号処理が可能となる。2 つ目は図 B.1 に示したように、SOI CMOS トランジスタは寄生的な PNPN 構造を持たないため、ラッチアップのおそれがないという点にある [31]。低消費電力、高放射線耐性といった特徴は、宇宙機搭載用 LSI を開発する上で魅力的な性質であるが、SOI 技術は比較的新しい技術であることから、特にアナログ回路への応用は進んでいない。そこで我々はこの SOI CMOS デバイスの魅力的な特徴を実証し、実用的なアプリケーションに応用可能であることを証明することを目的として、OKI セミコンダクター株式会社の 0.2-μm FD (Fully Depleted)[1]- SOI CMOS プロセスを用いて X 線 CCD 読み出し用アナログ ASIC の試作と評価を行った。

B.2　ASIC 概要

本 ASIC は製造プロセスに OKI セミコンダクター株式会社の 0.2-μm FD-SOI CMOS プロセスを用いて同社の宮城工場で製造された。本 ASIC は 2.5 mm 四方のチップに 7 チャンネルの信

[1]FD-SOI とは SOI 層が完全空乏化した構造をいう。

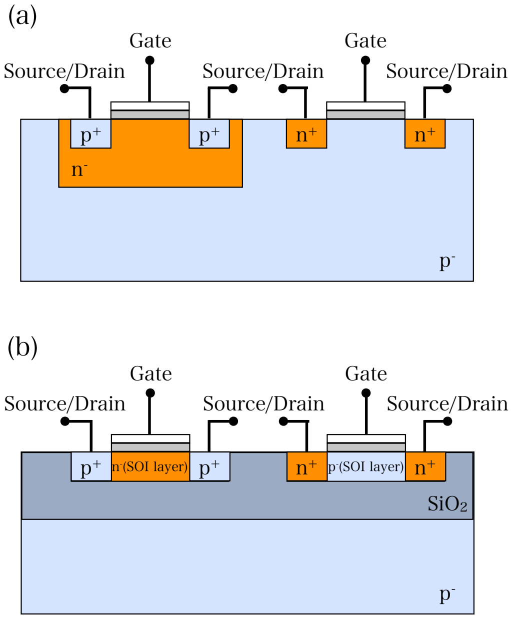


図 B.1: (a) バルク CMOS と (b) SOI CMOS の模式図。ゲート直下のシリコン層を SOI 層と呼ぶ。

号読み出し回路を備えている。それぞれのチャンネルは、プリアンプ、ローパスフィルター、相関二重サンプリング回路 (Correlated Double Sampling : CDS)、ADC とマルチプレクサから構成される。電源電圧は± 1.65 V で消費電力はチップ当たり 33 mW である。図 B.2 に ASIC の写真、表 B.1 に仕様をまとめる。

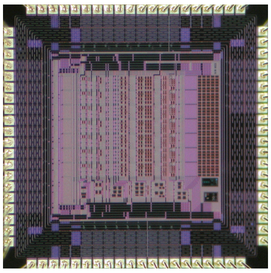


図 B.2: ASIC の写真

表 B.1: ASIC 仕様

製造方法	OKI 0.2-μm FD-SOI CMOS
チップサイズ	2.5 mm × 2.5 mm
チャンネル数	7
電源電圧	±1.65 V
消費電力	33 mW

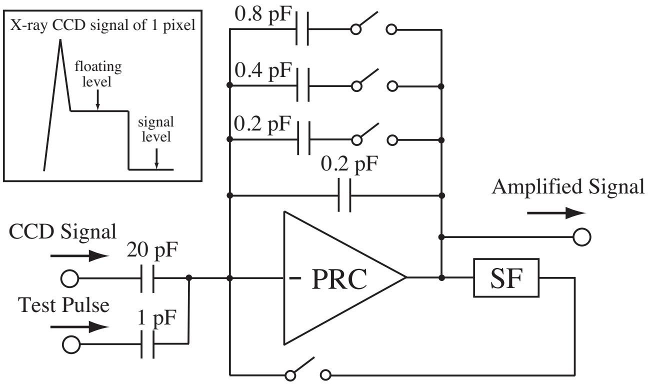


図 B.3: プリアンプの回路構成。PRC はフォールデッドカスコード型トランスコンダクタンス増幅器、SF はソースフォロワ回路を表している。

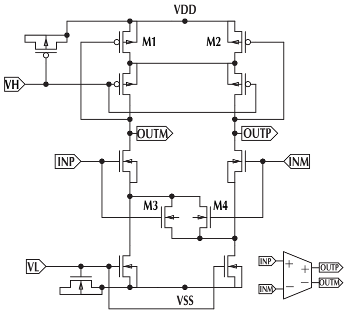


図 B.4: フォールデッドカスコード型トランスコンダクタンス増幅器 ‘PRC’ の回路構成

B.3 信号処理回路

B.3.1 プリアンプ部

ASIC に入力した CCD 信号はまずプリアンプによって増幅される。図 B.3 にプリアンプの回路構成を示す。図 B.3 にあるように CCD 信号は 20 pF の容量によって AC カップルされて反転入力のフォールデッドカスコード型トランスコンダクタンス増幅器 ‘PRC’ に入力される。また図 B.3 の ‘SF’ はソースフォロワ回路を表している。帰還容量の値を CMOS スイッチにより調節することで、増幅率は 12.5∼100 の間で 8 段階に調節できる。 図 B.7 にオシロスコープによる信号波形を示す。上段から CCD 疑似信号 (Test pulse)、増幅信号 (Preamplifier output) を示す。図 B.3 に示すように、CCD 疑似信号 (Test pulse) 入力部の容量は 1 pF であるため、疑似信号の増幅率は CCD 信号の増幅率に対して、入力部の容量の比として $\frac{1}{20}$ をかける必要がある。

増幅要素 ‘PRC’

図 B.4 にプリアンプの増幅要素である反転入力のフォールデッドカスコード型トランスコンダクタンス増幅器 ‘PRC’ の回路構成を示す。 入力トランジスタは一般にフリッカー雑音が NMOS に比べて小さい PMOS を用いた。我々は比較的ゲート幅の長いトランジスタを選定し、そのゲート幅、ゲート長のサイズはそれぞれ 5 μm と 0.6 μm である。さらにトランジスタの トランスコンダクタンス (g_m) を向上させるために、そのトランジスタを並列に 180 個並べた。また、PSRR(power supply rejection ratio) を減らすために、我々は VL-VSS(negative supply voltage) 間の電圧、VH-VDD(positive supply voltage) 間の電圧を安定させる MOS キャパシタ (M2,M7) を挿入した。OKI セミコンダクターの 0.2-μm FD-SOI プロセスにおける標準的な MOS トランジスタのソース · ドレイン間の電源は典型的に 1.8 V であるが、いわゆる I/O 部に用いられる電源 3.3 V のトランジスタを併用することにより、信号処理部において十分な動作電圧範囲を確保するようにした。具体的には図 B.4 にあるように、比較的高い電圧を入力する必要のある M2, M3, M6 と M7 のトランジスタに耐圧性能が 3.3 V の source-tie I/O トランジスタを採用した。また比較的低い電圧で動作する M1,M4 と M5 のトランジスタに耐圧性能が 1.8 V の source-tie core トランジスタを採用した。その結果、動作電圧範囲を ± 1.65 V に拡張している。

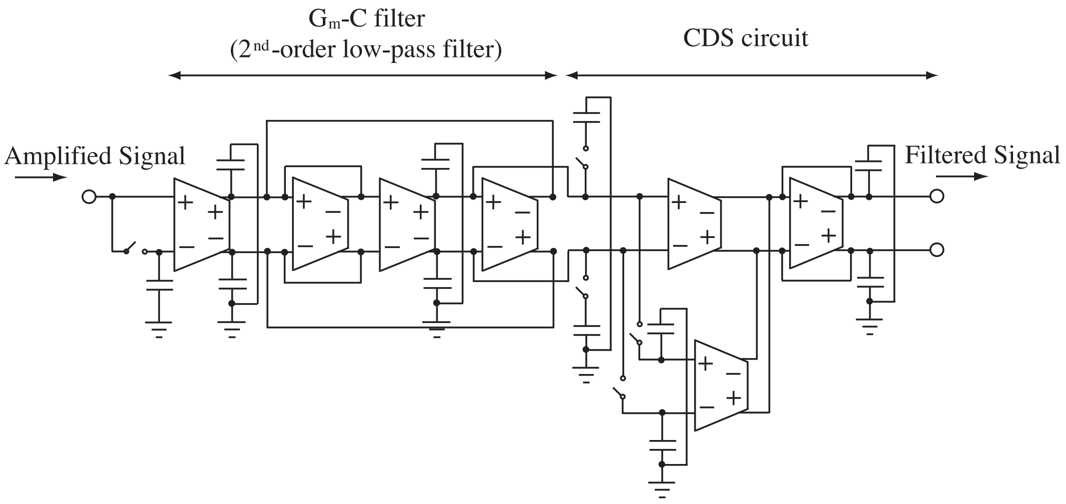


図 B.5: ローパスフィルターと相関二重サンプリング回路の回路構成

B.3.2　バンドパスフィルター部

図 B.5 にローパスフィルター (Low Pass Filter : LPF) と相関二重サンプリング回路 (Correlated Double Sampling : CDS) の回路構成を示す。台形のシンボルは差動トランスコンダクタンス回路を表している。前段 4 つの差動トランスコンダクタンス回路で 2 次のローパスフィルター、また後段 3 つの差動トランスコンダクタンス回路で CDS 回路をそれぞれ構成している。相関二重サンプリング法は、CCD 起源の雑音を除去し電圧差を効率よく測定できる技術として CCD 読み出し回路に標準的に用いられている技術である。

プリアンプによって増幅された信号はローパスフィルター前段でシングルエンド信号から作動信号に変換される。ローパスフィルターは増幅信号の高周波雑音を除去する。CDS 回路はローパスフィルター出力のフローティングレベルとシグナルレベルをそれぞれ 1 度ずつサンプリングし、差し引くことで信号波高値を求める。図 B.7 のパネル (c) に差動の CDS 出力を示す。フローティングレベルとシグナルレベルを差し引くことで低周波雑音を除去できるので、CDS 回路はハイパスフィルターとしての働きも備える。前段のローパスフィルターと組み合わせることで、全体の回路としてはバンドパスフィルターとして見なすことができる。本 ASIC では差動トランスコンダクタンス回路を用いて信号を差動伝送することにより、ダイナミックレンジの拡大と外部雑音の軽減を狙っている。

B.3.3　AD 変換

図 B.6 に 2 系統の ADC(Analog-to-Digital Converter) とマルチプレクサの回路構成を示す。それぞれの ADC はホールド容量、オペアンプ、電流源とコンパレータから構成される。CDS 出力はスイッチを切り替えることで、EVEN と ODD と呼んでいる 2 系統のホールド容量に交互に入力される。ホールド容量はスイッチの切り替えにより、後段のオペアンプの帰還容量へと機能を転換する。ホールド容量がオペアンプの帰還容量に切り替わるタイミングでオペアンプの出力はホールド容量に蓄積した電荷相当分だけ、基準電圧レベルから下がる。続いて、電流源が帰還容量から電流を引き込むことで直線的に電圧レベルが上昇する信号がオペアンプから出力される。この出力をランプ信号と呼ぶ。その後、ランプ信号はコンパレータに入力される。コンパレータはホールド容量がオペアンプの帰還容量に転換したタイミングで width 信号を立ち上げ、ランプ信号

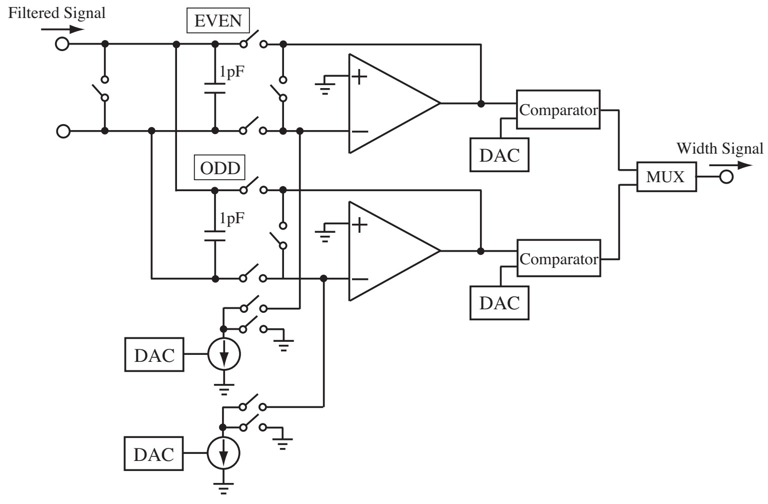


図 B.6: 2 系統の ADC とマルチプレクサの回路構成

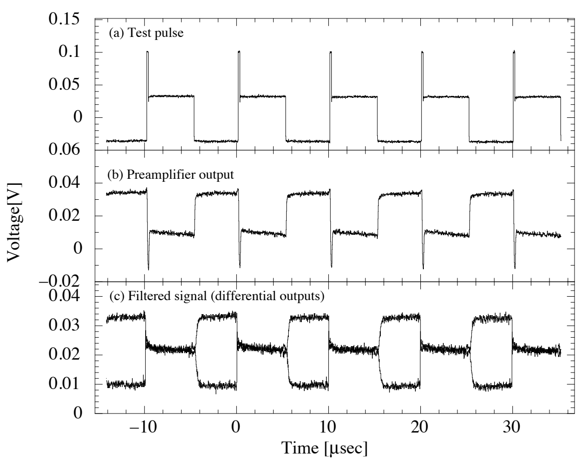


図 B.7: 信号波形。(a) CCD 疑似信号、(b) プリアンプ出力、(c) CDS 出力 (差動信号)

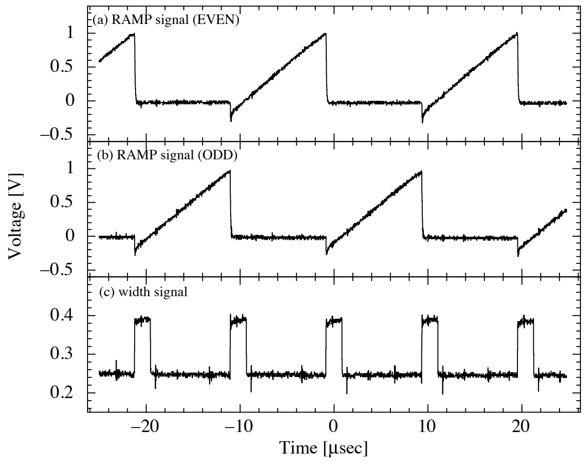


図 B.8: 信号波形。(a) ランプ信号 (EVEN)、(b) ランプ信号 (ODD)、(c) width 信号

の電圧レベルが閾値電圧レベルと等しくなったタイミングで立ち下げる。結果として width 信号の時間幅は CCD 信号のフローティングレベルとシグナルレベルの電圧差に比例することになる。ランプ信号のスロープの傾きとコンパレータの閾値電圧レベルは DAC により 16 段階に調節可能である。図 B.8 に実際に CCD 疑似信号を用いて測定した EVEN と ODD のランプ信号と width 信号の信号波形を示す。測定時のコンパレータの閾値電圧レベルは 0 V に設定してある。最終的に 2 つのコンパレータからの width 信号はマルチプレクサによりひとまとめにされて ASIC 外部に出力される。AD 変換は、後述する PC104 インターフェースボード上の FPGA のグレイコードカウンタにより、width 信号の時間幅を計測して 12 bit のディジタル値に変換して完了する。

表 B.2: X 線 CCD 仕様

CCD 型番号	P4 6-5B1P-2 (HPK)
素子のタイプ	N チャンネル素子
転送方式	フルフレームトランスファー方式
読み出し口数	1
ピクセルサイズ	24 μm × 24 μm
ピクセル数	512 × 512
電荷電圧変換係数	2.33 μV/e$^-$

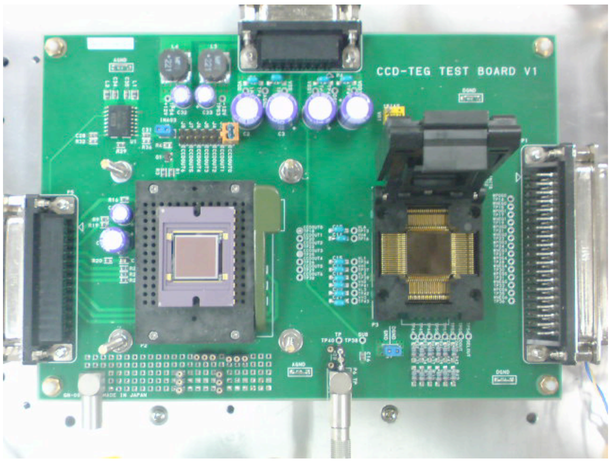


図 B.9: CCD と ASIC をマウントした基板の写真

B.4　実験セットアップ

B.4.1　試験基板

図 B.9 に実験に用いた試験基板の写真を示す。左側にゼロインサーションソケットにマウントした X 線 CCD、右側に ASIC がある。我々は今回の実験に用いた CCD に浜松ホトニクス社製のフルフレームトランスファー転送方式の N チャンネル素子 (型番号：P4 6-5B1P-2) を用いた。ピクセルサイズは 24 μm 四方で撮像領域のピクセル数は 512 × 512 である。また、電荷電圧変換係数は 2.33 μV/e$^-$ である。 CCD の仕様を表 B.2 にまとめる。CCD が QFP ソケットにマウントしたセラミックパッケージされている ASIC である。今回行った試験は、CCD の読み出し口が 1 つであるため ASIC の 7 チャンネルの信号処理回路チャンネルのうち 1 チャンネルを用いて行った。

B.4.2 *MiKE* システム

MiKE システムは我々の研究室で開発した X 線 CCD を駆動し、出力信号処理を行なうシステムである。図 B.10 に *MiKE* システムを示す。大きさは約 130 mm×160 mm×160 mm と非常にコンパクトなシステムである。*MiKE* システムは図のように各種の機能を持ったボードを、必要に応じて組み合わせて使用する。以下、*MiKE* システムについて簡単に説明を行う (詳しい説明は [30] を参照して頂きたい)。*MiKE* システムを構成する主なボードはシーケンサー、DAC、iCDS、DE ボードである。シーケンサーボードは FPGA を実装し内部でデジタルパターンを発生する。シーケンサーボードで発生するデジタルパターンはボード上に搭載した水晶振動子を用いて最小 10 ns 単位で調節することができる。DAC ボードはシーケンサーボードからのデジタル信号を受信し、CCD を駆動するアナログ信号を発生する。DAC 素子は増幅回路と組み合わせて約 ±12 V の範囲で、100 mV 間隔で電圧を調節することができる。iCDS+ADC ボードはシーケンサーボードより信号処理のコントロール信号を受信し、CCD の信号の積分型相関二重サンプリングと AD 変換を行なう。ADC は入力電圧範囲が 5 V、分解能が 12 bit の精度を持つ素子である。DE ボードは iCDS ボードの出力を受けて X 線のイベント処理などを行うボードである。今回の実験では DE ボードは使用せずイベント処理等はコンピューターで行った。

B.4.3 アルマジロ

アルマジロは我々の研究室で開発した X 線 CCD のデータを取得するデータプロセッサである。以下、アルマジロについて簡単に説明を行う (詳しい説明は [30] を参照して頂きたい)。アルマジロは市販の CPU ボード「Armadillo 9」と、おもに PC/104 インターフェースボードと FPGA (Field Programmable Gate Array) からなるデータ取得ボードをバスを介して、互いにデータのやりとりを可能にしたシステムである。図 B.11 にアルマジロを示す。図は「Armadillo 9」とデータ取得ボードを組み合わせた写真である。大きさは 90 mm×96 mm でフロッピーサイズとほぼ同じサイズである。また、アルマジロはデータ取得だけではなく *MiKE* システムのシーケンサボードに CCD の駆動信号のデジタルパターンをダウンロードする機能もある。

B.4.4 実験システムの構成

図 B.12 に実験システムのブロック図を示す。*MiKE* システムの iCDS+ADC ボードを用いて CCD 信号を処理するラインは破線で示している。CCD 信号はエミッタフォロワ回路と AC カップリングコンデンサ (220 pF) を介して ASIC に入力される。ASIC の width 出力は LVDS (Low Voltage Differential Signaling) で PC/104 インターフェースボード上の FPGA に入力され、12-bit の波高値に変換された後、4-bit の PCODE を付与され 16-bit のバイナリデータとしてバスを介して「armadillo-9」 に伝送される。「armadillo 9」 によって画像フォーマットに変換されたデータはイーサネットケーブルを介してホストコンピュータとやりとりを行う [30]。

また、CCD 疑似信号（図 B.12 中の test pulse）は DAC ボードからのトリガー信号を受けて、ファンクションジェネレーターから発生させた。

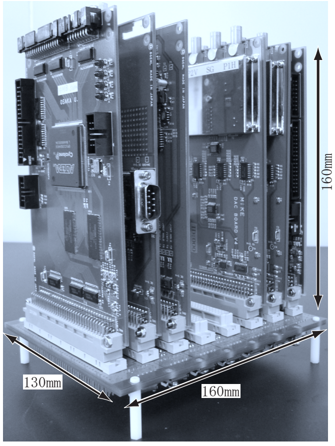


図 B.10: $MiKE$ システム。各ボードは共通のバックプレーンに接続している。

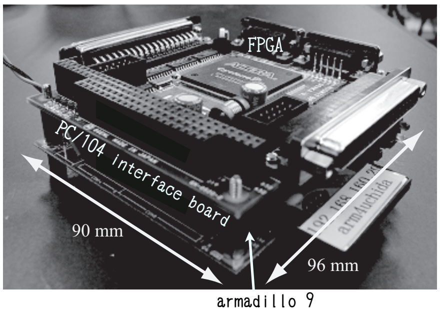


図 B.11: 通称アルマジロと呼ばれるデータプロセッサ。

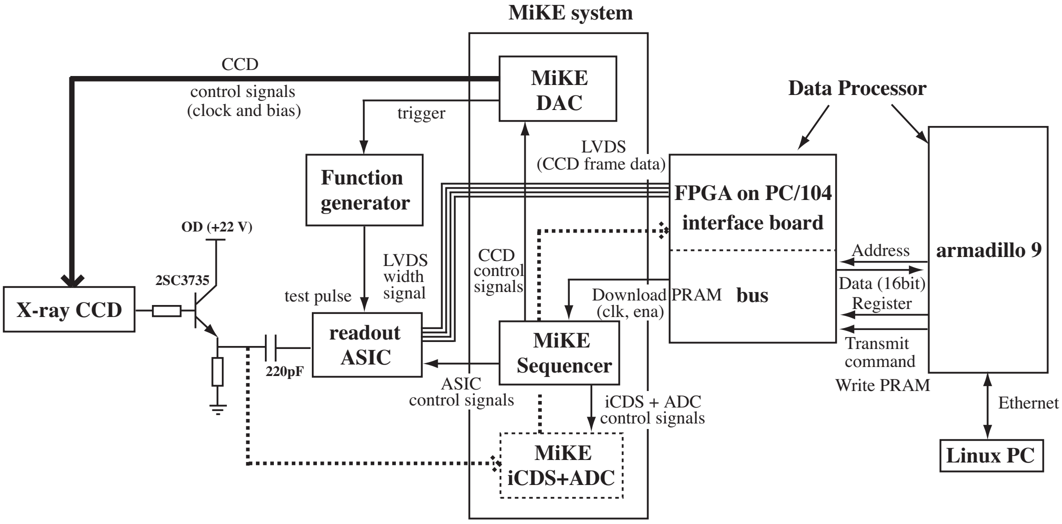


図 B.12: 実験システムのブロック図

B.5 ASIC 単体性能

我々は ASIC と CCD の接続試験を行う前に、ASIC が設計通りに機能することを確認するために CCD 疑似信号を用いて、ASIC 単体性能の評価を行った。図 B.7 と図 B.8 に示したように、CCD 疑似信号を入力した際のプリアンプ部での増幅信号、CDS 出力、ランプ信号、width signal の信号波形が設計通りに出力されることを確認した。波形測定時のプリアンプ帰還容量は 0.2 pF に設定している。

図 に、プリアンプの帰還容量を変化させて得られた ASIC のダイナミックレンジを示している。図 の上のパネルに ASIC 出力の ADC チャンネルを CCD 疑似信号の入力電圧差の関数として示している。疑似信号の入力電圧差を CCD 信号の入力電圧差に直すには、プリアンプ入力部の容量の比として、$\frac{1}{20}$ をかける必要がある。300 mV の疑似信号の入力電圧差は、電荷 · 変換係数 2.33 μV/e$^-$ の CCD を用いた場合、

$$300\ \text{mV} \times \frac{1}{20} \times \frac{1}{2.33\ \mu\text{V/e}^-} \times 3.65\ \text{eV/e}^- = 23.5\ \text{keV} \tag{2.1}$$

と計算できて、23.5 keV の X 線に対応することがわかる。ただし、シリコンの解離エネルギーを 3.65 eV / e$^-$ としている。

帰還容量 $C_f = 1.6$ pF のとき、200 mV を超えたあたりから線形から外れているのがわかる。我々は $C_f = 0.8$ pF、 0.4 pF のとき直線モデルを用いてフィッティングを行った。図 B.13 の下のパネルにモデルと測定値の残差を示す。INL は 2% 以下である。

図 B.14 に疑似信号の入力電圧差 85.2 mV における、雑音特性を示す。入力等価雑音を帰還容量の関数としてプロットしている。図 B.14 を見ると、プリアンプの帰還容量が大きくなるにつれて、入力等価雑音が増加している。帰還容量に反比例してプリアンプの増幅率は下がるので、この結果はプリアンプ後段の雑音が支配的であることを表している。

入力等価雑音の計算は、以下の手順で行った。まず一定の入力電圧を持つ疑似信号を約 26000 ピクセル分信号処理する。これを 4 パターンの入力電圧 (53.2 mV、85.2 mV、117 mV、147 mV) について行う。続いて得られたヒストグラムをガウス関数でフィッティングする。ガウス中心の値を入力電圧の関数としてプロットしゲイン [mV/ch] を求める。そしてヒストグラムをガウス関数でフィッティングしたときの標準偏差とゲイン [mV/ch] の積として入力等価雑音を計算している。

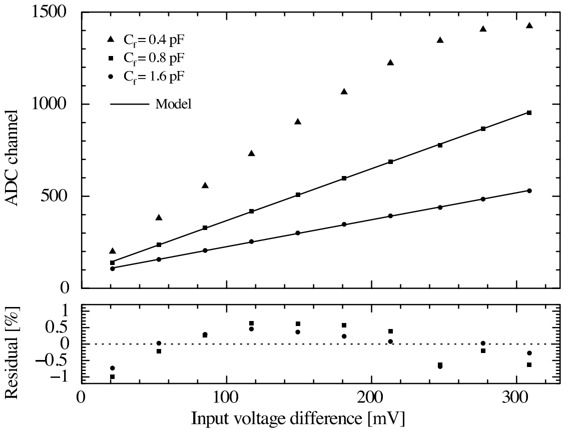


図 B.13: [上] プリアンプの帰還容量別のダイナミックレンジ。[下] 直線モデルとデータの残差。

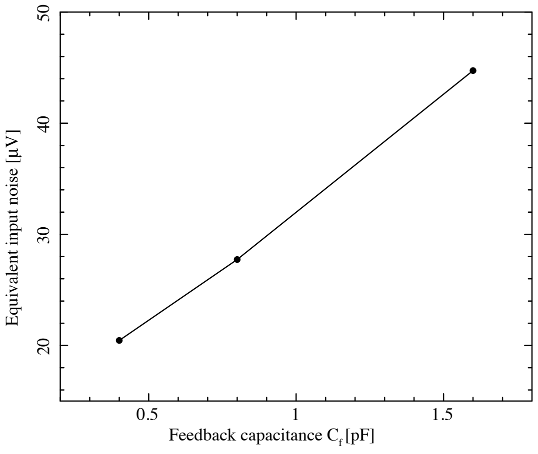


図 B.14: CCD 疑似信号の入力電圧差 85.2 mV における雑音特性。

表 B.3: X 線 CCD 駆動条件

CCD 駆動電圧 [V]			
PV	6 / -7	SG	7 / -6
PH	7 / -6	RD	11
RG	6 / -3	OG	3
OD	22		
ピクセルレート [kHz]	97		
CCD 押さえ板温度 [℃]	- 56		
真空度 [Torr]	約 10^{-5}		

B.6 X 線 CCD 接続試験結果

B.6.1 X 線スペクトル

単体性能評価試験により、我々は ASIC が設計通り動作することを確認できたので、我々は ASIC と CCD 接続試験を行った。CCD は暗電流を低減するため、冷却させて駆動する必要がある。実際の CCD の冷却はスターリング式冷凍機を使用し、冷凍機のコールドヘッドと編組線を用いて接続したアルミ板を CCD に直接押し付けることで行った。このとき冷却による結露を防ぐため、試験基板ごと真空チェンバの中に入れて、ロータリーポンプとターボ分子ポンプを組み合わせて真空を引いた。CCD の駆動は真空度約 10^{-5} Torr 、CCD の押さえ用アルミ板の温度約 -56 ℃ という環境で行った。線源には ^{55}Fe を用いた。表 B.3 に CCD の駆動条件をまとめる。

図 B.15 に ^{55}Fe を照射し、プリアンプの帰還容量を 0.4pF （増幅率に換算すると 50 倍）に設定して EVEN の信号系統で読み出したスペクトルを示す。5.9 keV と 6.5 keV のラインをはっきり分離できている。2 つのガウス関数を用いて、5.9 keV と 6.5 keV のラインのフィッティングを行った。求めたエネルギー分解能（半値全幅）は 5.9 keV 、6.5 keV 、 それぞれにおいて 305 eV と 287 eV である。 また読み出しノイズは 48.2 μV である。単体試験時に得られた雑音性能に比べて悪化しているのはスターリング式冷凍機とターボ分子ポンプ起源の雑音が乗っているためだと考えられる。また ODD の信号系統で読み出したスペクトルのエネルギー分解能は EVEN の信号系統に比べて少し悪く、5.9 keV において 425 eV である。

また、$MiKE$ システムを用いて 表 B.3 と同じ駆動条件のもと、CCD を読み出した結果は、5.9 keV と 6.5 keV におけるエネルギー分解能はそれぞれ 201 eV と 197 eV である。

B.6.2 X 線イメージ

スペクトルの取得に続いて、我々は X 線イメージの取得を行った。我々は大きさが 10 mm 四角に収まる厚さ 0.45 mm のペンダントトップを CCD の 1.4 mm 上方にセットした。また CCD の上方 19.25 mm の位置に ^{55}Fe 線源をセットした。CCD の 1 フレームの露光時間と読み出し時間はそれぞれ、約 14 秒と約 3 秒である。図 B.16 に 取得した X 線イメージを示す。白いピクセルが X 線が受かったピクセルを表しており、黒いピクセルがペンダントトップによって X 線が遮蔽されたピクセルを表す。我々はこのイメージを得るために 2500 枚のフレームデータを重ねた。

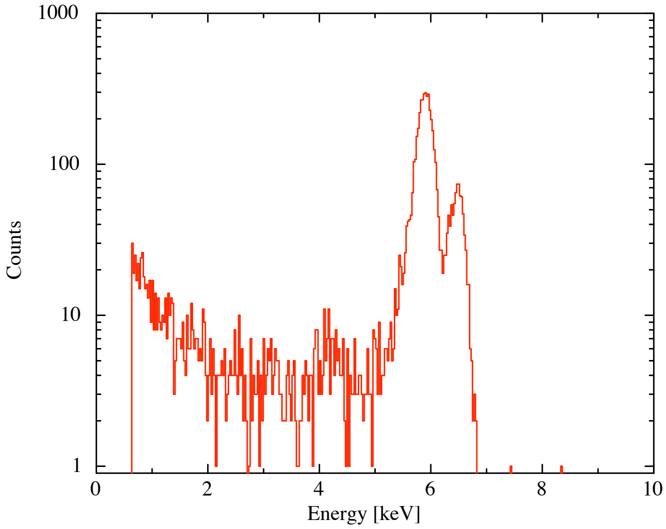


図 B.15: X 線 CCD に ^{55}Fe を照射して ASIC で読み出したスペクトル。

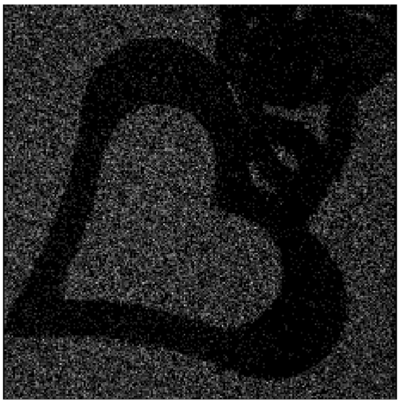


図 B.16: 線源に Fe^{55} を用いて撮像したペンダントトップの X 線イメージ。白いドットは X 線が受かったピクセルを表している。

B.6.3　まとめ

我々は OKI 0.2 μm FD-SOI CMOS プロセスを用いて X 線 CCD 用アナログフロントエンド ASIC の試作と評価を行った。CCD 疑似信号を用いた ASIC 単体試験を行い、設計通りの動作をすることを確認した。入力等価雑音はプリアンプの帰還容量 $C_f = 0.8$ pF において 28 μV であった。これは SXI-ASIC と遜色ない値である。また電荷電圧変換係数が 2.33 μV の X 線 CCD との接続試験においては、線源に Fe^{55} を用いてスペクトルを取得することに成功した。5.9 keV におけるエネルギー分解能は 305 eV であった。電荷電圧変換係数の高い X 線 CCD (5.5 μV/e^- @ Pch 2k 4k CCD) と組み合わせることでさらによいエネルギー分解能を得ることができると考えられる。一方で EVEN と ODD の信号系統別に性能の違いが見られた。この問題に関しては巻末に掲載した論文で考察を行った。本実験によって FD-SOI CMOS プロセスが実用的な低雑音フロントエンド回路へのアプリケーションに応用できることを実証した。

謝辞

本論文の執筆にあたりまして、また3年間の常深研究室での研究生活でお世話になった全ての方に感謝いたします。本当にどうもありがとうございました。

3年間の研究生活に渡って終止厳しくも暖かい助言を賜わり、また丁寧に指導してくださった常深先生に感謝いたします。学部4年時や、修士1年のときは素子開発打ち合わせでの発表のたびに怒られてばかりで、正直研究が嫌になった時期もありました。しかし、これによって物事を人に正しく伝えることの難しさ、そのためには自分がよく理解していなければならないということを胸に深く刻み込むことができました。林田先生には、素子開発打ち合わせや発表練習などで常にまじめに誠実に応対してくださり、適切なコメントをいただきまして感謝しております。統計·誤差解析のセミナーでは、統計·誤差解析の基礎について丁寧に指導していただきました。また、学部4年時には、卒業研究を直接指導していただいたこともあわせて感謝いたします。穴吹さんには、データ解析ゼミや特に、付録に収録しているSOI技術を用いたASICの阪大での研究立ち上げの際に、VHDLコードについて不慣れな私に丁寧に教えていただきましたことを感謝いたします。また、実験がうまくいっていない私をみかねて、土曜日にもかかわらず実験の監督を申し出てくださったときはとても感激しました。取るに足らない質問にも快く答えていただきましてありがとうございました。中嶋さんには、素子開発打ち合わせの資料作成から本論文の執筆まで本研究を進めるにあたって本当にお世話になりました。どうもありがとうございました。2人で大阪府立大学や放医研に出向き、数日間集中的に実験を進めたのはよい思い出です。特に本論文の執筆に関しまして、私の拙い文章を細部までしっかりチェックしてくださり、また適切なコメントをいただきましたことに大変感謝いたします。

内田さんには、素子開発打ち合わせの資料作成からパソコンのコマンドやその他下らない質問にまで、その圧倒的に明晰な頭脳をもって常に的確に答えていただいてただただ感謝するばかりです。次代を担う天文学者としての活躍をお祈りしています。木村さんには、特にシェルスクリプトの作成やmacの豆知識などを教えていただきました。どうもありがとうございました。同期の阪口くん、山内くん、繁山くん、高橋くんのおかげで楽しく大学院生活を過ごすことができました。同期5人で行った四国旅行はいい思い出です。後輩の小杉さんと上田くんには本論文で必要なグラフや絵を作成していただいて感謝しております。秘書の橋本さんには事務手続きで大変お世話になりました。どうもありがとうございました。

また、付録Aに収録しています「SOI CMOSプロセスを用いたX線CCD用アナログフロントエンドASICの試作」の研究につきましては、宇宙科学研究所の池田先生に大変お世話になりました。この場を借りて御礼申し上げます。佐藤さんには、国際会議への予稿の添削などでお世話になりました。どうもありがとうございました。岸下さんには、阪大での実験や、巻末に掲載していますIEEEへの投稿論文、付録の執筆におきまして大変お世話になりました。また、私が宇宙科学研究所へ出張に行った際は、食事に連れ出していただき感謝しております。岸下さんの研究者としての持論を聴かせていただき、貴重な経験になりました。

この3年間、いくら感謝の言葉を述べても足りない気がいたしますが、本当にどうもありがとうございました。常深研究室で学んだことを活かして、今後の人生も実り多いものにしていきたいと思っています。

2010年2月 出原 寿紘

関連図書

[1] D. Matsuura, H.Ozawa, E. Miyata, H.Tsunemi, H. Ikeda, “Development of an analog LSI for readout of X-ray CCDs” Nucl. Instr. & Meth., A 570, 2007, 140

[2] X 線天文衛星『あすか』のホームページより http://www.astro.isas.jaxa.jp/asca/outline/

[3] 東海林 雅幸『Astro-E2 衛星搭載 XIS のデータ処理方法の最適化』修士論文、大阪大学、2004

[4] 勝田 哲 『Astro-E2 衛星搭載 X 線 CCD(XIS) の軟 X 線領域における検出効率の測定』修士論文、大阪大学、2004

[5] E.Miyata & K.Tamura, “Novel Photon-Counting Detector for 0.1ˇ2013100 keV X-Ray Imaging Possessing High Spatial Resolution”, Japanese Journal Applied Physics, 42, 2003, L1201

[6] 田和 憲明 『CCD とシンチレータを組み合わせた光子計数可能な高帯域 X 線検出器の開発』修士論文、大阪大学、2004

[7] H. Bräuninger, R. Danner, D. Hauff, et al., “First results with the pn-CCD detector system for the XMM satellite mission”,Nucl. Instr. & Meth. A, 326, 1993, 129.

[8] McLean.I.S, “Electronic Imaging in Astronomy”,Paraxis Publishing Ltd (1997) “State Imagers for Astronomy”, 1981

[9] Janesick, J. R, Hyneek, J. and Blouke, M. M., “Solid State Imagers for Astronomy”, Proc. SPIE, 290, 1981

[10] 今吉 拓哉 『X 線 CCD の雑音低減と検出効率の研究』 修士論文、大阪大学、1997

[11] 阿久津 大介　『新しいシステムによる MAXI-CCD の動作クロックの最適化』修士論文、大阪大学、2000

[12] 浜松ホトニクス社 『光半導体素子ハンドブック』

[13] 中本　創　『次期 X 線天文衛星 NeXT 搭載に向けて大面積 CCD 素子の開発』修士論文、大阪大学、2007

[14] Behzad Razavi 著/黒田 忠広 監訳『アナログ CMOS 集積回路の設計基礎編』丸善株式会社、2004

[15] 谷口 研二 著 『CMOS アナログ回路入門』CQ 出版社、2006

[16] 松浦　大介　『X 線 CCD の高速信号処理のためのアナログ・デジタル混在 LSI の開発』修士論文、大阪大学、2005

[17] NEC ELECTRONICS ホームページ　http://www.necel.com/

[18] R. Rando, A. Bangert, D. Bisello, A. Candelori, P. Giubilato, M. Hirayama, R. Johonson, H. F.-W. Sadrozinski, M. Sugizaki, J.Wyss, M.Ziegler, “Radiation Testing of GLAST LAT Tracker ASICs”, IEEE Trans. Nucl. Sci. 51 (2004) 842-847

[19] 中嶋　大、松浦　大介、常深　博、John. P. Doty 『CCD イメージセンサ高速信号処理用 ASIC MND02 取扱説明書』大阪大学、2009

[20] 松浦　大介　『Development of ASICs for multi-readout X-ray CCDs』博士論文、大阪大学、2008

[21] NIST PSTAR のデータベース http://physics.nist.gov/PhysRefData/Star/Text/contents.html

[22] NIST XCOM のデータベース http://physics.nist.gov/PhysRefData/Xcom/Text/XCOM.html

[23] 池田　博一　『Electronics for Particle Measurement』 KEK Report 2002-8, 2002

[24] T. Takahashi et al., “The NeXT x-ray mission to exlore nonthermal universe,” in Proc. SPIE, 7011, 2008, 70110O

[25] 宇宙環境計測情報システム (SEES) http://seesproxy.tksc.jaxa.jp/fw/dfw/SEES/

[26] 阪口　塁　『ASTRO-H 衛星搭載に向けた P チャンネル X 線 CCD 素子の開発』修士論文、大阪大学、2010

[27] S.M. ジィー 南日 康夫, 川辺 光央, 長谷川 文夫 訳 『半導体デバイス』産業図書、1987

[28] H. Nakajima, D. Matsuura, N. Anabuki, E. miyata, H. Tsunemi, J. P. Doty, H. Ikeda, T. Takashima, H. Katayama, “Performance of an Analog ASIC Developed for X-ray CCD Camera Readout System Onboad Astronomical Satellite”, IEEE Trans. Nucl. Sci., 56, 2009

[29] H. Nakajima, D. Matsuura, T. Idehara, N. Anabuki, H. Tsunemi, J. P. Doty, H. Ikeda, T. Takashima, H. Katayama, “Development of high speed multi-channel readout X-ray CCD camera with analog ASIC”, ,Nucl. Instr. & Meth., A, 2010 submitted

[30] 向井　謙治　『広帯域で高感度の X 線検出器の開発と気球による実証実験』修士論文、2005

[31] T. Kishishita, G. Sato, H. Ikeda, M. Kokubun, T. Takahashi, T. Idehara, H. Tsunemi, Y. Arai, “Development of an SOI Analog Front-end ASIC for X-ray Charge Coupled Devices”, Proc. Seventh International “Hiroshima” Symposium on the Development and Application of Semiconductor Tracking Detectors

[32] T. Kishishita, T. Idehara, H. Ikeda, H. Tsunemi, Y. Arai, G. Sato, T. Takahashi,“Readout ASIC with SOI technology for X-ray CCDs” , IEEE Trans. Nucl. Sci., 2010 submitted

[33] K. Koyama et al., “X-ray Imaging Spectrometer (XIS) on Board Suzaku” Publ. Astron. Soc. Japan, 59, 2007, S23

[34] 宇宙航空研究開発機構 (JAXA) 宇宙科学研究本部 データセンター『科学衛星 Astro-E2 実験計画書（第 2 分冊）』、2005

[35] 廣瀬　穣（山中卓研究室）　『SOI 技術を用いた一体型 Pixel 検出器用読み出しシステムの開発、及び積分型 Pixel 検出器の性能評価』修士論文、2009

[36] Allan J. et al. "CREAM96: A Revision of the Cosmic Ray Effects on Micro-Erectronics Code", IEEE Trans. Nucl. Sci., 44, 1997

Readout ASIC with SOI technology for X-ray CCDs

Tetsuichi Kishishita, Toshihiro Idehara, Hirokazu Ikeda, Hiroshi Tsunemi, Yasuo Arai, Goro Sato and Tadayuki Takahashi

Abstract—**We developed an analog front-end application specific integrated circuit (ASIC) with a fully depleted (FD) silicon-on-insulator (SOI) technology for readout of X-ray CCDs. The ASIC contains seven readout channels, each of which is equipped with the correlated double sampling circuit followed by an amplitude-to-pulse width conversion circuit. We combined the ASIC with an X-ray CCD for performance evaluation tests. We succeeded in processing analog signals from the CCD and confirmed an X-ray imaging and photon-counting capabilities by irradiating a radioisotope ^{55}Fe. The energy resolution was 305 eV at 5.9 keV (full-width at half maximum) and the readout noise was 48.2 μV for power consumption of 33 mW per chip. The ASIC proves that the FD-SOI process can be a practically usable option for front-end applications.**

Index Terms—**SOI (silicon-on-insulator), ASIC, VLSI, analog front-end, low noise, CCD, X-ray.**

I. Introduction

We experimentally designed a new analog readout ASIC for X-ray CCDs utilizing a recent SOI CMOS technology. X-ray CCDs have been successfully employed as focal plane detectors of X-ray astronomical satellites [1], [2], [3]. The X-ray CCD in combination with an X-ray mirror enables to simultaneously acquire an object image as well as an energy spectrum in the soft X-ray band below 10 keV.

A disadvantage of the X-ray CCD exists in its poor timing resolution, e.g. a few seconds. The practical readout speed is about 100 kHz to achieve the low noise level, while higher readout speed is required to readout electronics for the next-generation CCD systems. One solution to improve the time resolution is to increase the number of readout nodes by integrating readout electronics to an LSI which meets with the demands of space and power limitations. Actually such readout ASICs have been widely designed with bulk CMOS technologies [4], [5].

The distinct features of SOI devices, i.e. small parasitic capacitance and low junction leakage current, are just suitable for switched-capacitor circuits which are often used in CCD readout circuits (e.g. CAMEX 64 [6]) on account of low-power and high-speed capabilities. These characteristics mitigate substrate-coupling noise and reduce the silicon area in comparison with bulk CMOS processes. Moreover, SOI devices intrinsically immune to single event latch-ups since SOI transistors are free from parasitic PNPN structure. SOI technologies are thus more fascinating LSI fabrication processes than bulk CMOS devices for front-end applications in radiation-harsh environments such as space.

Over the past few years, we have recognized a fully depleted (FD)-SOI process could be a useful technology to be applied for analog front-end circuits on board space satellites. We also identified possible issues concerning front-end circuits in small circuit designs with FD-SOI [7]. Compared with a partially depleted (PD)-SOI, the FD-SOI employs a thinner silicon layer, and, then, the silicon layer underneath the gate electrode is completely depleted. As a result, the kink effect, which is revealed in the PD-SOI, is moderated in the FD-SOI. In addition, an improvement in the threshold slope parameter assists us in employing low-threshold voltage transistors when designing circuits.

Since the FD-SOI is still a relatively new technology, the FD-SOI processes are not yet widely employed in commercial use, while several applications to digital circuits have been exploited for space environments. In order to demonstrate the attractive features of the FD-SOI, we have designed an analog front-end application specific integrated circuit (ASIC) for readout of X-ray CCDs. In this paper, we report on the first result of the FD-SOI readout ASIC with practical performances. The details of the CMOS-based circuit description and ASIC performance of the unit tests are found elsewhere [9].

II. Overview of the ASIC

A. Specifications of the ASIC

The CCD readout ASIC is designed on the basis of the Open-IP LSI project led by JAXA. Figure 1 shows a photograph of the bare chip. The circuit design was submitted to OKI Semiconductor Co., Ltd. via the multi-chip project operated as a part of the SOI pixel-detector R&D program in KEK [10]. The fabrication process was a 0.2-μm FD-SOI CMOS provided by the Miyagi factory of OKI Semiconductor Co., Ltd. The ASIC contains seven readout channels. Each channel consists of a preamplifier, low-pass filter, correlated double sampling (CDS) circuit, ramp circuit, and comparators. The total power consumption is 33 mW for power rails of $\pm 1.65\ V$. The maximum pixel readout speed is $\sim$200 kHz which is limited by the ramp rate for an analog-to-digital conversion (ADC). The specifications of the ASIC are summarized in Table I.

T. Kishishita, H. Ikeda, G. Sato, and T. Takahashi are with the Institute of Space and Astronautical Science, Japan Aerospace Exploration Agency, Sagamihara, Kanagawa, 229-8510 (e-mail: kisisita@astro.isas.jaxa.jp).

T. Idehara and H. Tsunemi are with the Department of Earth and Space Science, Graduate School of Science, Osaka University, Machikaneyama-cho, Toyonaka-shi, Osaka 560-0043, Japan

Y. Arai is with the Institute of Particle and Nuclear Studies, National High Energy Accelerator Research Organization, 1-1 Oho, Tsukuba, Japan

B. Detailed description of the signal processing

1) Preamplifier stage: As shown in the inset panel of Figure 2, a CCD signal of one pixel consists of a floating and signal levels. The voltage difference of the two levels corresponds to charge amounts generated by an incident X-ray in the CCD through photoelectric absorption. The input CCD signal is fed to the ASIC, and, then, amplified in the preamplifier circuit. Fig. 2 shows the configuration of the preamplifier circuit. 'PRC' denotes a folded-cascode transconductance amplifier with a PMOS input transistor. The gain of the preamplifier is adjustable from 12.5 to 100 in eight steps by changing negative feedback capacitance (C_f) with a binary weighted configuration and CMOS switches. The measured waveform trace of the preamplifier output is shown in Figure 3 (**Left**). The feedback capacitance was set at $C_f = 0.2$ pF.

2) Band-pass filter stage: Figure 4 shows the configuration of a low-pass filter (LPF) and correlated double sampling (CDS) circuit. The CDS technique is traditionally employed for CCD readout circuits in order to measure the voltage difference between the floating and signal levels with eliminating the noise coming from CCDs. We employed differential transconductor circuits as a component of the LPF and CDS circuit, which are shown as trapezoidal symbols in Fig. 4. The CDS circuit samples the floating and signal levels for the LPF outputs, and, then, determine the signal pulse height by subtracting the floating level from the signal level. The measured waveform traces of the filtered signal are shown in Figure 3 (**Left**). Since the CDS circuit functions as a high-pass filter, the entire LPF and CDS circuit eventually works as a band-pass filter. By employing the differential network chain, we aimed to expand the dynamic range and mitigate external noises.

3) Analog-to-Digital conversion stage: Figure 5 shows the configuration of the ADC stage. The entire circuit consists of two ADCs and a multiplexer. Each ADC consists of a hold capacitor, operational amplifier, current generator, and comparator. The outputs of the CDS circuit are alternatively steered into the two separate hold capacitors of 1 pF by the CMOS switches; the signal channel is separated into two parts, i.e. one is named EVEN and the other named ODD.

By the action of the CMOS switches, the hold capacitor moves to a position of a feedback component of the operational amplifier (see Fig. 5). An output voltage level of the operational amplifier is set from a baseline to the corresponding voltage of charge amounts accumulated in the hold capacitor, and, then, the output voltage level of the operational amplifier is ramped up linearly by feeding charges into the feedback capacitor from a current generator. The ramp signal is then fed into the comparator. The comparator delivers a width signal when the hold capacitor switches to a feedback capacitor of the operational amplifier, and, then, negates the width signal when the voltage level reaches to a threshold voltage. As a result, the time width of the width signal corresponds to the pulse height of the CCD signals. The slope of the ramp signal and threshold voltages for comparators are adjustable in 16 steps with a binary weighted configuration. Fig. 3 (**Right**) shows the measured waveforms of the ramp and width signals. The threshold voltage was set to 0 V in the measurement.

TABLE I
SPECIFICATIONS OF THE ASIC.

Fabrication process	OKI 0.2-μm FD-SOI CMOS
Chip size	2.5 mm$\times$2.5 mm
Number of channels	7
Power rails	$\pm$1.65 V
Power consumption	33 mW
Max readout speed	200 kHz

Finally, the width signals of EVEN and ODD chains are merged in a multiplexer to be delivered to an external pin of the ASIC. The A-to-D conversion is established by running a scaler during the interval of the pulse width with an appropriate clock frequency.

III. EXPERIMENTAL SETUP

A. Test board

In order to evaluate the performance of the ASIC, we combined a chip with an X-ray CCD. Figure 6 shows a picture of the CCD and ASIC mounted on a test board. We inserted an emitter-follower circuit and capacitor of 220pF between X-ray CCDs and the ASIC. In the left side of the picture, an X-ray CCD is placed in a PGA socket. We used an N-channel FFT (full-frame transfer)-type CCD with a pixel size of 24 μm $\times$ 24 μm and imaging size of 512 $\times$ 512 pixels, provided by Hamamatsu Photonics K.K. (HPK). The specifications of the X-ray CCD is summarized in Table II. The conversion gain of the CCD is 2.33 μV/e$^-$, which is defined as a ratio of the CCD output voltage per electron generated by photoelectric absorption. The ASIC is shown in the right side of the CCD, which is placed in a ceramic package and mounted on the test board with a QFP socket. Since there exists only one readout node in the CCD, we evaluated a typical channel of the ASIC in the following tests.

B. DAQ system

Figure 7 shows the DAQ configuration for the performance measurements. The control signals for the CCD and ASIC were supplied from the $MiKE$ system [8], which is a flexible CCD operating system developed at Osaka University. The *MiKE* system consists of flexibly configured multiple VME 3U boards. In the measurements, we combinatorially employes a DAC and sequencer boards to generate analog signals for the CCD control and digital signals for the ASIC readout. The DAC was employed to generate each clock for the CCD driver with adjustable output voltages, and is controlled by a field programmable gate array (FPGA) on board the sequencer board. The output of the ASIC is directly fed into a data processor, which consists of a PC/104 and armadillo9 boards (AtmarkTechno). The data processor acquires frame data via LVDS lines and transmit data to PC through Ethernet. The width signals are converted to binary counts with a scaler driven by a 200 MHz clock frequency in the data processor.

The $MiKE$ system also supports a stand-alone data acquisition (DAQ) capability as is shown with the dashed lines in Fig. 7. In this case, the output of the emitter follower is fed into the

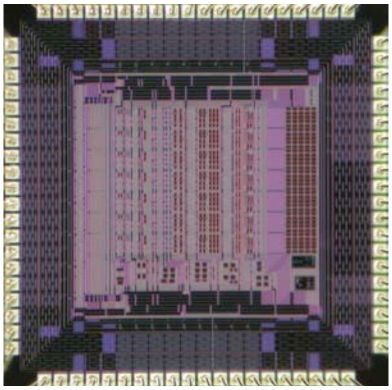


Fig. 1. Photograph of the ASIC.

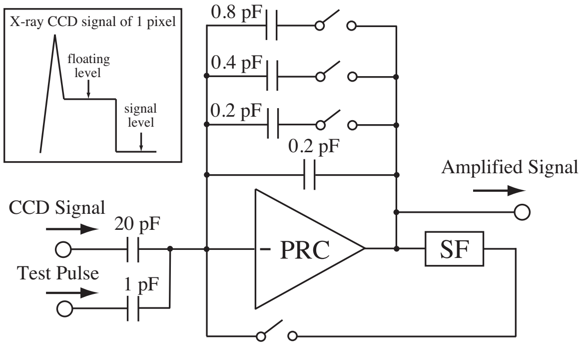


Fig. 2. Configuration of the preamplifier circuit. 'PRC' denotes a transconductance amplifier with a PMOS input transistor, and 'SF' denotes a source follower.

$MiKE$ integrated-CDS (iCDS) and ADC board, and, then, the voltage difference between the floating and signal levels are sampled by a 12-bit analog-to-digital converter. The maximum ADC channel and output voltage in the *MiKE* system are 4096 ch and 5 V, respectively. The control signals for the iCDS + ADC board are generated by the sequencer board.

Before measuring the ASIC performance, we determined the CCD conversion gain S_μ with the $MiKE$ DAQ system. We combined the CCD with the $MiKE$ iCDS+ADC board and obtained an X-ray spectrum of ^{55}Fe. Since we know the total gain $\mathrm{A_{iCDS+ADC}}$ of the $MiKE$ iCDS+ADC board in advance (20×13.6), the output ADC difference between 5.9 keV and 6.5 keV lines equals to

$$\frac{6.5\ \mathrm{keV} - 5.9\ \mathrm{keV}}{\epsilon_{\mathrm{Si}}} \cdot S_\mu \cdot \mathrm{A_{iCDS+ADC}} \cdot \frac{4096\ \mathrm{ch}}{5\ \mathrm{V}} \quad (1)$$

where $\epsilon_{\mathrm{Si}} = 3.65\ \mathrm{eV/e^-}$. We calculated the conversion gain at 2.33 μV/e$^-$ for the X-ray CCD.

IV. Performance evaluation combined with an X-ray CCD

A. Imaging capability

We performed X-ray irradiation tests with an image mask to demonstrate the imaging capability for the CCD + ASIC system. A mask of plastic plated with nickel is placed above the CCD by 1.4 mm. It has a length of 10 mm and thickness of 0.45 mm. A radioisotope ^{55}Fe is located above the detector by 19.25 mm. We operated the CCD at -56° C to reduce the dark current and at a pressure of several $\times 10^{-5}$ Torr in a vacuum chamber to keep water off the CCD. The readout speed of the CCD was 97 kHz.

Figure 8 shows an X-ray image obtained by the CCD processed with the ASIC. Each white dot represents an X-ray interaction point. The shadow image of the heart-shaped mask is clearly seen on the image, which indicates that the ASIC properly processed the output signals of the CCD. An exposure time of each frame image is 14 sec with readout time of 3 sec. We summed up 2500 frames for the image. We calculated the readout noises from the standard deviation of the horizontal over clocked region. The readout noise was 53.7 μV with $\mathrm{C_f} = 0.4$ pF. In the current experimental setup, we cannot avoid the excess noise from a refrigerator and vacuum chamber system. Since the readout noise of the ASIC was 35.8 μV measured in the unit test before tuning on the compressor of the vacuum chamber, we expect better performances by designing an optimum test board with shielding the external noises.

B. X-ray spectrum

Figure 9 shows the X-ray spectrum of ^{55}Fe of the EVEN chain. The 5.9 keV and 6.5 keV emission lines are clearly separated in the figure. We fitted the spectrum around 5.9 keV with two Gaussian functions. The energy resolution was 305 eV and 287 eV at 5.9 keV and 6.5 keV (full-width at half maximum), respectively. We found that the energy resolution of the ODD chain was worse than that of the EVEN chain.

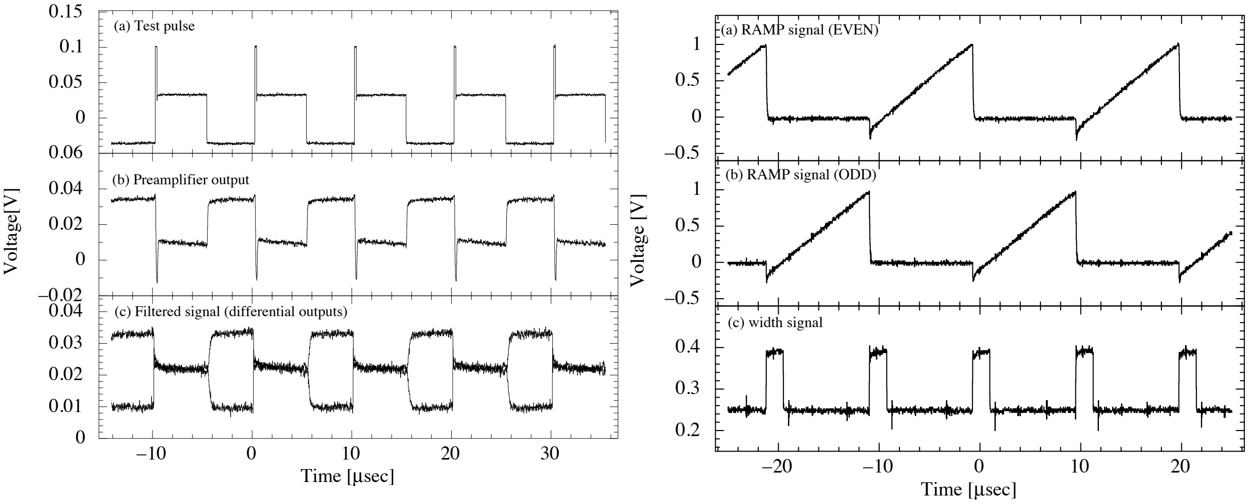


Fig. 3. Measured waveform traces. (**Left**) from an upper panel, input test pulse (pseudo CCD signal), preamplifier output, and filtered signals. (**Right**) ramp and width signals.

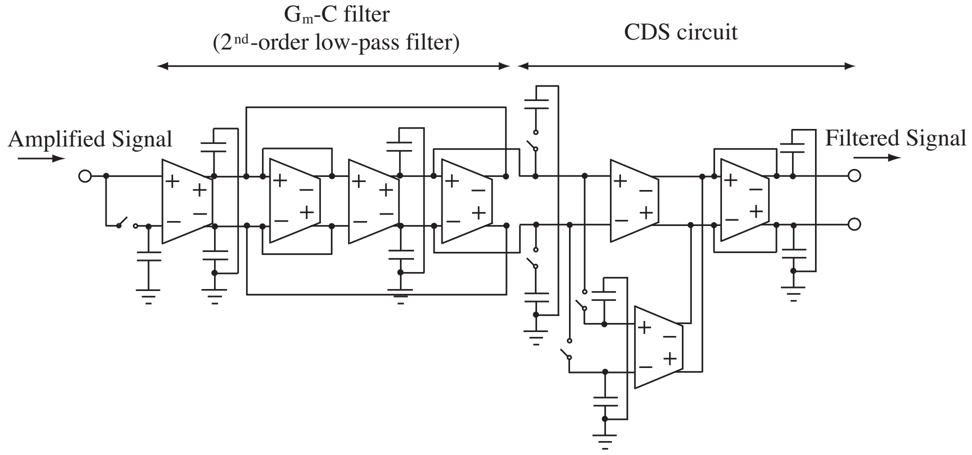


Fig. 4. Configuration of the LPF and CDS circuit.

This phenomenon was common in varying degrees to other six channels. The energy resolution of the ODD chain for 5.9 keV iron line was 425 eV (FWHM). We discuss the origin of the phenomenon in the following section.

For comparison, we obtained an X-ray spectrum with the $MiKE$ iCDS + ADC board. The energy resolution processed with the $MiKE$ system was 201 eV and 197 eV (FWHM) at 5.9 keV and 6.5 keV, respectively. Since the ASIC achieved the comparable noise level with the $MiKE$ DAQ system in the unit tests, we speculate the external noise coming from the interference with the refrigerator and vacuum chamber system degrades the energy resolution of the spectrum.

V. Discussion

As is described above, the spectral performances are slightly different between EVEN/ODD chains. This is due to the small difference of time jitters exists in width outputs of two signal chains. Since the noise level inside the ASIC is common between the two chains, we speculate that the origin of the additional jitter difference comes from the interference between the EVEN/ODD chains, and is specifically located at the digital circuits for switching EVEN/ODD chains.

In the current design, we employed two CMOS switches, which consist of pairs of NMOS and PMOS transistors, to move from EVEN to ODD and vice versa. The switching signal for the EVEN and ODD switches are provided in opposite phase each other, e.g., 'ON' signal for the EVEN switch and 'OFF' for the ODD switch, by a simple circuit structure using only inverters. However, this simple logic gates generate a timing overlap in output switching signals. As a result, the small difference is generated in time jitters between EVEN/ODD chains.

In order to remove possible overlaps between EVEN/ODD timings, we are now designing a modified version of the ASIC, in which non-overlapping logic gates are employed for the switching circuits. Figure 10 (a) shows a schematic of the non-overlapping logic gates. The signals HOLDA and HOLDB are supplied to a CMOS switch for the EVEN chain, and HOLDC and HOLDD is for that of the ODD one. We simulated the signal timing with SPICE. The result is shown in Fig. 10 (b). As shown in the figure, the timing of the signals

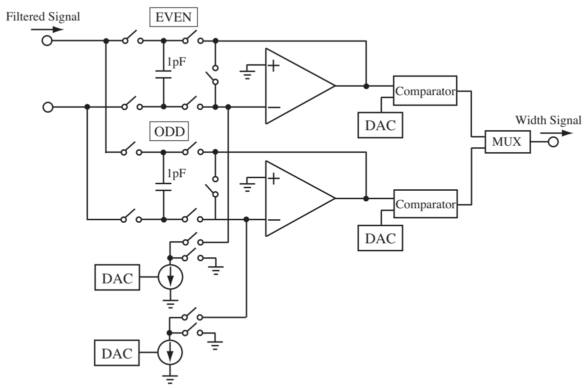


Fig. 5. Configuration of the ADC stage.

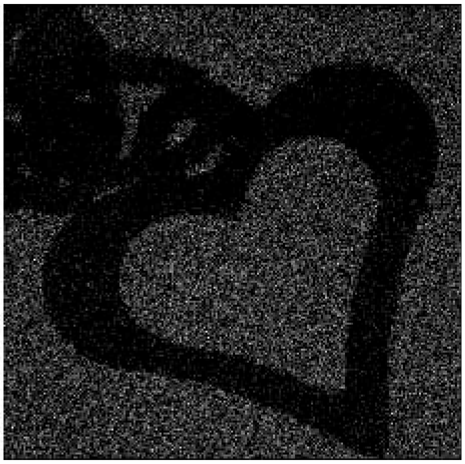


Fig. 8. X-ray image of a heart-shaped mask placed between the CCD and the ^{55}Fe source. Each white dot represents an X-ray interaction point.

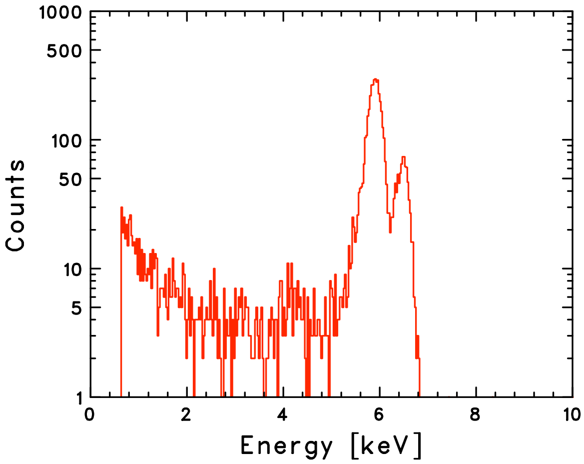


Fig. 9. X-ray spectrum of ^{55}Fe obtained with the CCD and readout ASIC. The CCD was operated at -56°C. The readout speed of the CCD was 97 kHz.

is not overlapped. By using the non-overlapping logic gates, we can reduce the interference between EVEN/ODD chains and expect further low-noise performances.

TABLE II
SPECIFICATIONS OF THE X-RAY CCD.

Model number	P4 6-5B1P-2 (HPK)
Device type	N channel CCD
Transfer method	Full-frame transfer
Readout nodes	1
Pixel size	24 μm × 24 μm
Number of pixels	512 × 512
Conversion gain	2.33 μV/e$^-$

VI. SUMMARY

We developed a readout ASIC for X-ray CCDs by utilizing a recent technology of FD-SOI. The ASIC includes a preamplifier, correlated double sampling circuit, ramp circuit and comparators. We evaluated the performance of the ASIC by combining with an X-ray CCD and irradiating a radioisotope ^{55}Fe. When the X-ray CCD is operated at -56°C, the energy resolution of the X-ray spectrum achieved 305 eV (FWHM) for the 5.9 keV line. In the performance measurements, we used an X-ray CCD whose conversion rate was 2.33 μV/e$^-$. Since the conversion gain is much lower than that of the existing CCDs for high resolution applications, e.g. $\sim$5 μV/e$^-$, we expect better analog performances by combining with optimum devices for practical use. Another version of the ASIC is now under fabrication, in which the non-overlapping logic gates are employed for switching EVEN and ODD signal chains. The ASIC proves that the FD-SOI process can be a practically usable option for front-end applications.

ACKNOWLEDGMENT

The authors would like to express their sincere gratitude for the financial support of JAXA with regards to the Steering Committee of Space Engineering. TK is supported by research fellowships of the Japan Society for the Promotion of Science for Young Scientists.

REFERENCES

[1] Y. Tanaka, H. Inoue, and S.S. Holt, Publ. Astron. Soc. Japan 46 (1994) L37
[2] M. L. J. Turner, et al., Astron. Astrophysics. 365 (2001) L27
[3] K. Koyama, et al., Publ. Astron. Soc. Japan 59 (2007) S23
[4] D. Matsuura, H. Ozawa, E. Miyata, H. Tsunemi, and H. Ikeda, Nucl. Instrum. and Meth. A **570** (2007) 140.

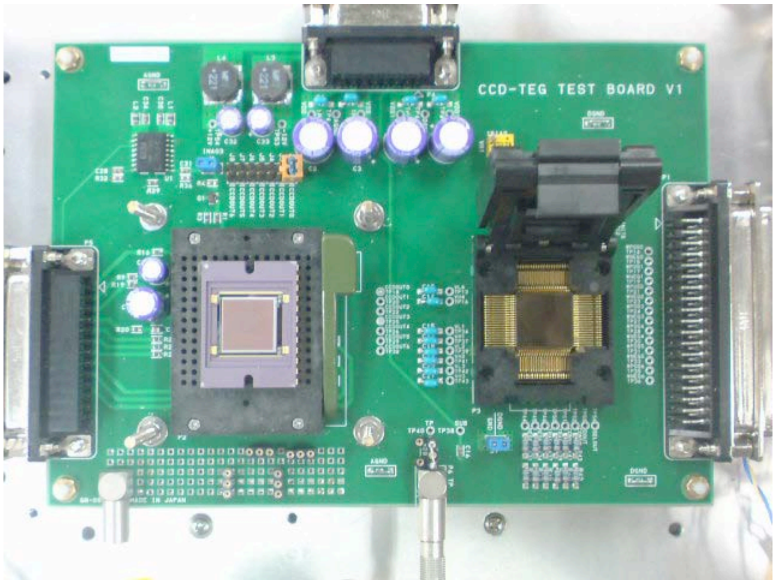


Fig. 6. Picture of the X-ray CCD and ASIC mounted on the test board.

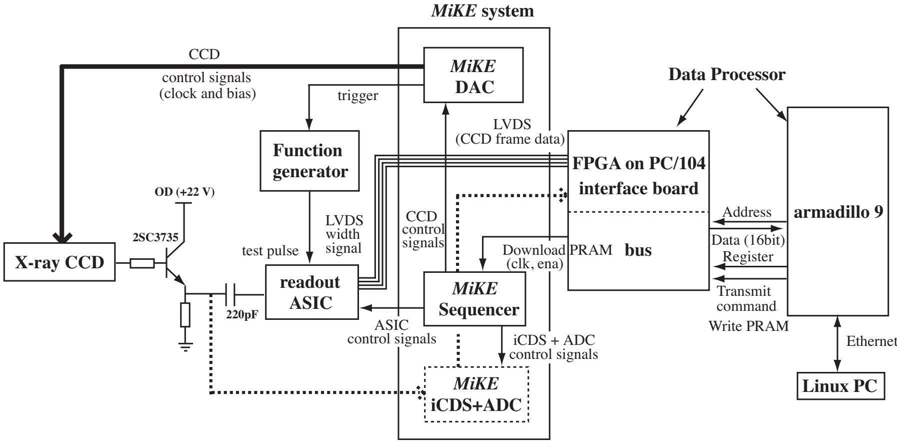


Fig. 7. Configuration of the performance measurements.

[5] L. Strüder, et al., Astron. Astrophysics. 365 (2001) L18
[6] W. Buttler, G. Lutz, H. Bergmann, H. Dietl, D. Hauff, P. Holl, and P. F. Manfredi, Nucl. Instrum. and Meth. A **273** (1988) 778.
[7] H. Ikeda et al., Nucl. Instrum. and Meth. A, 579 (2007) 701.
[8] E. Miyata, C. Natsukari, T. Kamazuka, H. Kouno, H. Tsunemi, M. Matsuoka, H. Tomida, S. Ueno K. Hamaguchi, I. Tanaka, Nucl. Instrum. and Meth. A 488 (2002) 184.
[9] T. Kishishita et al., Nucl. Instrum. and Meth. A, "Development of an SOI Analog Front-end ASIC for X-ray Charge Coupled Devices", in press.
[10] T. Tsuboyama, et al., Nucl. Instrum. and Meth. A, 582 (2007) 861.

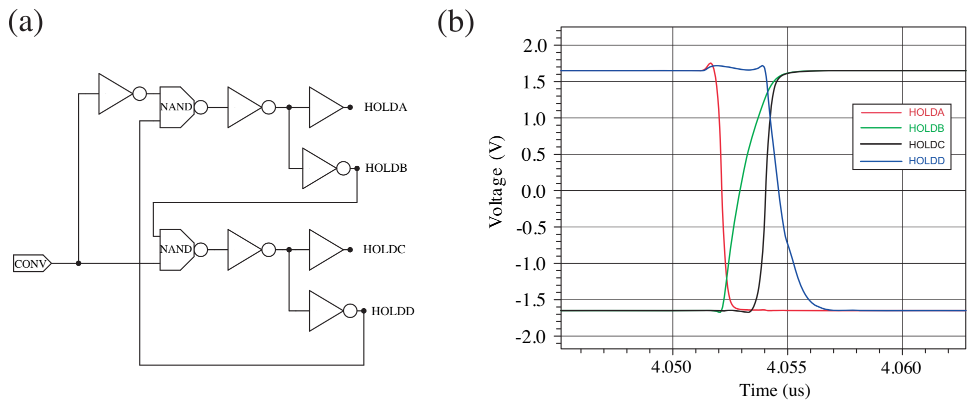


Fig. 10. (a) Schematic of the non-overlapping logic gates. (b) Timing diagram simulated with SPICE.